

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 8 月 1 日

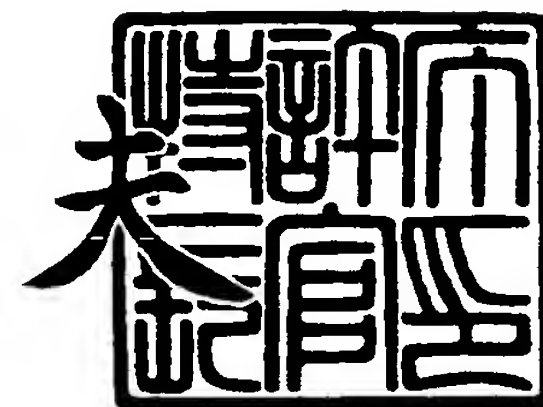
出 願 番 号
Application Number: 特 願 2 0 0 3 - 2 8 5 3 4 0
[ST. 10/C]: [J P 2 0 0 3 - 2 8 5 3 4 0]

出 願 人
Applicant(s): 日 本 電 信 電 話 株 式 有 限 公 司

2 0 0 3 年 1 0 月 2 0 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 NTTH155454
【提出日】 平成15年 8月 1日
【あて先】 特許庁長官殿
【国際特許分類】 H03K 9/00
【発明者】
 【住所又は居所】 東京都千代田区大手町二丁目 3 番 1 号 日本電信電話株式会社内
 【氏名】 鈴木 賢司
【発明者】
 【住所又は居所】 東京都千代田区大手町二丁目 3 番 1 号 日本電信電話株式会社内
 【氏名】 宇賀神 守
【発明者】
 【住所又は居所】 東京都千代田区大手町二丁目 3 番 1 号 日本電信電話株式会社内
 【氏名】 東原 恒夫
【特許出願人】
 【識別番号】 000004226
 【氏名又は名称】 日本電信電話株式会社
【代理人】
 【識別番号】 100064621
 【弁理士】
 【氏名又は名称】 山川 政樹
 【電話番号】 03-3580-0961
【選任した代理人】
 【識別番号】 100067138
 【弁理士】
 【氏名又は名称】 黒川 弘朗
【選任した代理人】
 【識別番号】 100098394
 【弁理士】
 【氏名又は名称】 山川 茂樹
【手数料の表示】
 【予納台帳番号】 006194
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0205287

【書類名】 特許請求の範囲**【請求項 1】**

受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、

このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から (N-1) 周期 (N は 2 以上の整数) までそれぞれ遅延させた N-1 個の信号を出力する N-1 個の遅延回路と、

第 2 のクロックに同期して N 個の第 1 の拡散符号を発生する第 1 の拡散符号発生回路と、

前記第 2 のクロックに同期して前記第 1 の拡散符号を逆向きに並び替えた N 個の第 2 の拡散符号を発生する第 2 の拡散符号発生回路と、

前記第 1 の拡散符号発生回路または第 2 の拡散符号発生回路から出力された N 個の拡散符号のうち、受信した順番が新しい方の前記拡散信号または古い方の前記拡散信号のいずれかに対応する略半数が前記第 2 のクロックの 1 周期間に反転と非反転の 2 つの極性状態を呈するように極性変換して出力し、残りの略半数の符号についてはそのまま出力する極性変換回路と、

前記コンパレータ回路および遅延回路から出力された信号と前記極性変換回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、

この N 個の乗算器の出力を加算する加算器と、

この加算器の出力のピークを検出するピーク検出器と、

前記ピーク検出器によって前記ピークが検出される度に、前記第 1 の拡散符号発生回路から前記極性変換回路への前記第 1 の拡散符号の入力と前記第 2 の拡散符号発生回路から前記極性変換回路への前記第 2 の拡散符号の入力とを交互に切り替える拡散符号制御回路とを有することを特徴とする逆拡散復調器。

【請求項 2】

受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、

このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から (N-1) 周期 (N は 2 以上の整数) までそれぞれ遅延させた N-1 個の信号を出力する N-1 個の遅延回路と、

第 2 のクロックに同期して N 個の第 1 の拡散符号を発生する第 1 の拡散符号発生回路と、

前記第 2 のクロックに同期して前記第 1 の拡散符号を逆向きに並び替えた N 個の第 2 の拡散符号を発生する第 2 の拡散符号発生回路と、

前記コンパレータ回路および遅延回路から出力された信号と前記第 1 の拡散符号発生回路または第 2 の拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、

この N 個の乗算器の乗算器出力信号のうち、受信した順番が新しい方の前記拡散信号または古い方の前記拡散信号のいずれかに対応する略半数が前記第 2 のクロックの 1 周期間に反転と非反転の 2 つの極性状態を呈するように極性変換して出力し、残りの略半数の乗算器出力信号についてはそのまま出力する極性変換回路と、

この極性変換回路の出力を加算する加算器と、

この加算器の出力のピークを検出するピーク検出器と、

前記ピーク検出器によって前記ピークが検出される度に、前記第 1 の拡散符号発生回路から前記乗算器への前記第 1 の拡散符号の入力と前記第 2 の拡散符号発生回路から前記乗算器への前記第 2 の拡散符号の入力とを交互に切り替える拡散符号制御回路とを有することを特徴とする逆拡散復調器。

【請求項 3】

受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、

このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から (N-1) 周期 (N は 2 以上の整数) までそれぞれ遅延させた N-1 個の信号を出力する N-1 個の遅延回路と、

第 2 のクロックに同期して N 個の第 1 の拡散符号を発生する第 1 の拡散符号発生回路と、

前記第 2 のクロックに同期して前記第 1 の拡散符号を逆向きに並び替えた N 個の第 2 の拡散符号を発生する第 2 の拡散符号発生回路と、

前記コンパレータ回路および遅延回路の出力信号のうち、受信した順番が新しい方の前記拡散信号または古い方の前記拡散信号のいずれかに対応する略半数が前記第 2 のクロックの 1 周期間に反転と非反転の 2 つの極性状態を呈するように極性変換して出力し、残りの略半数の出力信号についてはそのまま出力する極性変換回路と、

この極性変換回路から出力された信号と前記第 1 の拡散符号発生回路または第 2 の拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、

この N 個の乗算器の出力を加算する加算器と、

この加算器の出力のピークを検出するピーク検出器と、

前記ピーク検出器によって前記ピークが検出される度に、前記第 1 の拡散符号発生回路から前記乗算器への前記第 1 の拡散符号の入力と前記第 2 の拡散符号発生回路から前記乗算器への前記第 2 の拡散符号の入力とを交互に切り替える拡散符号制御回路とを有することを特徴とする逆拡散復調器。

【請求項 4】

受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、

このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から (N-1) 周期 (N は 2 以上の整数) までそれぞれ遅延させた N-1 個の信号を出力する N-1 個の遅延回路と、

第 2 のクロックに同期して N 個の拡散符号を発生する拡散符号発生回路と、

前記拡散符号発生回路から出力された N 個の拡散符号のうち、受信した順番が新しい方の前記拡散信号または古い方の前記拡散信号のいずれかに対応する略半数が前記第 2 のクロックの 1 周期間に反転と非反転の 2 つの極性状態を呈するように極性変換して出力し、残りの略半数の符号についてはそのまま出力する極性変換回路と、

前記コンパレータ回路および遅延回路から出力された信号と前記極性変換回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、

この N 個の乗算器の出力を加算する加算器と、

この加算器の出力のピークを検出するピーク検出器と、

このピーク検出器による前記ピークの検出に応じて前記拡散符号発生回路への前記第 2 のクロックの入力を制御するクロック制御回路とを有することを特徴とする逆拡散復調器。

【請求項 5】

受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、

このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から (N-1) 周期 (N は 2 以上の整数) までそれぞれ遅延させた N-1 個の信号を出力する N-1 個の遅延回路と、

第 2 のクロックに同期して N 個の拡散符号を発生する拡散符号発生回路と、

前記コンパレータ回路および遅延回路から出力された信号と前記拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、

この N 個の乗算器の乗算器出力信号のうち、受信した順番が新しい方の前記拡散信号または古い方の前記拡散信号のいずれかに対応する略半数が前記第 2 のクロックの 1 周期間に反転と非反転の 2 つの極性状態を呈するように極性変換して出力し、残りの略半数の乗算器出力信号についてはそのまま出力する極性変換回路と、

この極性変換回路の出力を加算する加算器と、
この加算器の出力のピークを検出するピーク検出器と、
このピーク検出器による前記ピークの検出に応じて前記拡散符号発生回路への前記第 2 のクロックの入力を制御するクロック制御回路とを有することを特徴とする逆拡散復調器。

【請求項 6】

受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、
このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から (N - 1) 周期 (N は 2 以上の整数) までそれぞれ遅延させた N - 1 個の信号を出力する N - 1 個の遅延回路と、
第 2 のクロックに同期して N 個の拡散符号を発生する拡散符号発生回路と、
前記コンパレータ回路および遅延回路の出力信号のうち、受信した順番が新しい方の前記拡散信号または古い方の前記拡散信号のいずれかに対応する略半数が前記第 2 のクロックの 1 周期間に反転と非反転の 2 つの極性状態を呈するように極性変換して出力し、残りの略半数の出力信号についてはそのまま出力する極性変換回路と、
この極性変換回路から出力された信号と前記拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、
この N 個の乗算器の出力を加算する加算器と、
この加算器の出力のピークを検出するピーク検出器と、
このピーク検出器による前記ピークの検出に応じて前記拡散符号発生回路への前記第 2 のクロックの入力を制御するクロック制御回路とを有することを特徴とする逆拡散復調器。

【請求項 7】

請求項 4 乃至 6 のいずれか 1 項に記載の逆拡散復調器において、
前記クロック制御回路は、前記ピーク検出器によって前記ピークが検出される度に、前記拡散符号発生回路への前記第 2 のクロックの入力の停止と再開とを交互に切り替えることを特徴とする逆拡散復調器。

【請求項 8】

請求項 4 乃至 6 のいずれか 1 項に記載の逆拡散復調器において、
前記クロック制御回路は、前記ピーク検出器によって前記ピークが検出されたときに、前記拡散符号発生回路への前記第 2 のクロックの入力を一定時間だけ停止することを特徴とする逆拡散復調器。

【請求項 9】

請求項 1 乃至 6 のいずれか 1 項に記載の逆拡散復調器において、
前記拡散符号発生回路をフリップフロップ回路と排他的論理和回路とフリップフロップ回路の出力パスを制御するスイッチとにより構成することを特徴とする逆拡散復調器。

【請求項 10】

請求項 1 乃至 3 のいずれか 1 項に記載の逆拡散復調器において、
前記第 1 の拡散符号発生回路と前記第 2 の拡散符号発生回路と前記拡散符号制御回路とを DSP により構成することを特徴とする逆拡散復調器。

【請求項 11】

請求項 4 乃至 6 のいずれか 1 項に記載の逆拡散復調器において、
前記拡散符号発生回路と前記クロック制御回路とを DSP により構成することを特徴とする逆拡散復調器。

【書類名】 明細書

【発明の名称】 逆拡散復調器

【技術分野】

【 0 0 0 1 】

本発明は、拡散符号を用いた演算により所望の信号を周波数拡散して送信した拡散信号を受信し、この受信した拡散信号を拡散符号を用いた演算により逆拡散して前記所望の信号を取り出す無線通信における逆拡散復調器に関するものである。

【背景技術】

【 0 0 0 2 】

図 1 6 に第 1 の従来技術である逆拡散復調器の構成を示す。本構成では、受信された拡散信号は乗算器 1 0 0 1 において拡散符号発生回路 1 0 0 2 で発生した拡散符号と乗算され、ローパスフィルタ (L P F) 1 0 0 3 に通すことで高調波成分が除去され、受信信号 (ベースバンド信号) が得られる。 1 0 0 4 は拡散符号と拡散信号の位相を合わせるための同期制御回路である。

【 0 0 0 3 】

図 1 7 に第 2 の従来技術である逆拡散復調器の構成を示し、図 1 8 に図 1 7 の逆拡散復調器におけるピーク検出器 1 1 1 4 の入力側の A 点と出力側の B 点の信号の特徴的な波形を示す。本構成では、受信された拡散信号は拡散符号に対応したマッチトフィルタ 1 1 1 1 により相関信号に変換され、遅延線 1 1 1 2 によりデータクロックの逆数分遅延され、その遅延信号と前記相関信号が乗算器 1 1 1 3 で乗算され、その後にピーク検出器 1 1 1 4 でピーク検出を行うことで受信信号が得られる。

【 0 0 0 4 】

図 1 6 の同期制御回路を有する逆拡散復調器および図 1 7 のマッチトフィルタを有する逆拡散復調器については例えば非特許文献 1 に記載されている。なお、出願人は、本明細書に記載した先行技術文献情報で特定される先行技術文献以外には、本発明に関連する先行技術文献を出願時までに見出すには至らなかった。

【非特許文献 1】 丸林元，中川正雄，河野隆二著，「スペクトル拡散通信とその応用」，電子情報通信学会，1 9 9 8 年，9 4 頁～1 4 5 頁，I S B N 4 - 8 8 5 6 2 - 1 6 3 - X

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

図 1 6 に示した第 1 の従来技術である逆拡散復調器では、拡散符号と拡散信号の位相を高精度に合わせる必要がある。このため、同期制御回路 1 0 0 4 の構成が複雑になり、回路規模および消費電力が増大するという問題があった。

【 0 0 0 6 】

また、図 1 7 に示した第 2 の従来技術である逆拡散復調器では、マッチトフィルタ 1 1 1 1 として通常 S A W (S u r f a c e A c o u s t i c W a v e) フィルタを用いる。このため、実装面積および実装コストが増大するという問題があった。また、特定の拡散符号に特化したマッチトフィルタ 1 1 1 1 を用いるため、異なる拡散符号による拡散信号を復調できないという問題があった。また、マッチトフィルタ 1 1 1 1 をオンチップの回路で構成すると、面積規模および消費電力が増大するという問題があった。

【 0 0 0 7 】

本発明は、以上のような点に鑑みてなされたものであり、その目的は、外付け部品を不要にし、かつ同期制御が不要で低電力な逆拡散復調器を提供することで、携帯無線機の低電力・低コスト化に寄与することである。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の逆拡散復調器は、受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、

このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から $(N-1)$ 周期 (N は 2 以上の整数) までそれぞれ遅延させた $N-1$ 個の信号を出力する $N-1$ 個の遅延回路と、第 2 のクロックに同期して N 個の第 1 の拡散符号を発生する第 1 の拡散符号発生回路と、前記第 2 のクロックに同期して前記第 1 の拡散符号を逆向きに並び替えた N 個の第 2 の拡散符号を発生する第 2 の拡散符号発生回路と、前記第 1 の拡散符号発生回路または第 2 の拡散符号発生回路から出力された N 個の拡散符号のうち、受信した順番が新しい方の前記拡散信号または古い方の前記拡散信号のいずれかに対応する略半数が前記第 2 のクロックの 1 周期間に反転と非反転の 2 つの極性状態を呈するように極性変換して出力し、残りの略半数の符号についてはそのまま出力する極性変換回路と、前記コンパレータ回路および遅延回路から出力された信号と前記極性変換回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、この N 個の乗算器の出力を加算する加算器と、この加算器の出力のピークを検出するピーク検出器と、前記ピーク検出器によって前記ピークが検出される度に、前記第 1 の拡散符号発生回路から前記極性変換回路への前記第 1 の拡散符号の入力と前記第 2 の拡散符号発生回路から前記極性変換回路への前記第 2 の拡散符号の入力とを交互に切り替える拡散符号制御回路とを有するものである。

前記第 1 の拡散符号発生回路は、前記第 2 のクロックに同期して前記第 1 の拡散符号をシフトさせる N 個の第 1 のフリップフロップ回路群と、この第 1 のフリップフロップ回路群の内の複数のフリップフロップ回路の出力を入力する第 1 の排他的論理和回路と、前記第 1 のフリップフロップ回路群のフリップフロップ回路を開閉自在に縦続接続すると共に前記第 1 の排他的論理和回路の出力を前記第 1 のフリップフロップ回路群の内の初段のフリップフロップ回路の入力に開閉自在に接続する第 1 のスイッチ群とを具備し、前記第 2 の拡散符号発生回路は、前記第 2 のクロックに同期して前記第 1 の拡散符号と逆方向に前記第 2 の拡散符号をシフトさせる N 個の第 2 のフリップフロップ回路群と、この第 2 のフリップフロップ回路群の内の複数のフリップフロップ回路の出力を入力する第 2 の排他的論理和回路と、前記第 2 のフリップフロップ回路群のフリップフロップ回路を開閉自在に縦続接続すると共に前記第 2 の排他的論理和回路の出力を前記第 2 のフリップフロップ回路群の内の初段のフリップフロップ回路の入力に開閉自在に接続する第 2 のスイッチ群とを具備し、前記拡散符号制御回路は、前記ピーク検出器によって前記ピークが検出される度に、前記第 1 のスイッチ群をオン状態にする制御と前記第 2 のスイッチ群をオン状態にする制御とを交互に切り替えるものである。

【0 0 0 9】

また、本発明の逆拡散復調器は、受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から $(N-1)$ 周期 (N は 2 以上の整数) までそれぞれ遅延させた $N-1$ 個の信号を出力する $N-1$ 個の遅延回路と、第 2 のクロックに同期して N 個の第 1 の拡散符号を発生する第 1 の拡散符号発生回路と、前記第 2 のクロックに同期して前記第 1 の拡散符号を逆向きに並び替えた N 個の第 2 の拡散符号を発生する第 2 の拡散符号発生回路と、前記コンパレータ回路および遅延回路から出力された信号と前記第 1 の拡散符号発生回路または第 2 の拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、この N 個の乗算器の乗算器出力信号のうち、受信した順番が新しい方の前記拡散信号または古い方の前記拡散信号のいずれかに対応する略半数が前記第 2 のクロックの 1 周期間に反転と非反転の 2 つの極性状態を呈するように極性変換して出力し、残りの略半数の乗算器出力信号についてはそのまま出力する極性変換回路と、この極性変換回路の出力を加算する加算器と、この加算器の出力のピークを検出するピーク検出器と、前記ピーク検出器によって前記ピークが検出される度に、前記第 1 の拡散符号発生回路から前記乗算器への前記第 1 の拡散符号の入力と前記第 2 の拡散符号発生回路から前記乗算器への前記第 2 の拡散符号の入力とを交互に切り替える拡散符号制御回路とを有するものである。

【0 0 1 0】

また、本発明の逆拡散復調器は、受信した拡散信号を、この拡散信号の拡散に用いたク

ロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から $(N-1)$ 周期 (N は 2 以上の整数) までそれぞれ遅延させた $N-1$ 個の信号を出力する $N-1$ 個の遅延回路と、第 2 のクロックに同期して N 個の第 1 の拡散符号を発生する第 1 の拡散符号発生回路と、前記第 2 のクロックに同期して前記第 1 の拡散符号を逆向きに並び替えた N 個の第 2 の拡散符号を発生する第 2 の拡散符号発生回路と、前記コンパレータ回路および遅延回路の出力信号のうち、受信した順番が新しい方の前記拡散信号または古い方の前記拡散信号のいずれかに対応する略半数が前記第 2 のクロックの 1 周期間に反転と非反転の 2 つの極性状態を呈するように極性変換して出力し、残りの略半数の出力信号についてはそのまま出力する極性変換回路と、この極性変換回路から出力された信号と前記第 1 の拡散符号発生回路または第 2 の拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、この N 個の乗算器の出力を加算する加算器と、この加算器の出力のピークを検出するピーク検出器と、前記ピーク検出器によって前記ピークが検出される度に、前記第 1 の拡散符号発生回路から前記乗算器への前記第 1 の拡散符号の入力と前記第 2 の拡散符号発生回路から前記乗算器への前記第 2 の拡散符号の入力とを交互に切り替える拡散符号制御回路とを有するものである。

【0 0 1 1】

また、本発明の逆拡散復調器は、受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から $(N-1)$ 周期 (N は 2 以上の整数) までそれぞれ遅延させた $N-1$ 個の信号を出力する $N-1$ 個の遅延回路と、第 2 のクロックに同期して N 個の拡散符号を発生する拡散符号発生回路と、前記拡散符号発生回路から出力された N 個の拡散符号のうち、受信した順番が新しい方の前記拡散信号または古い方の前記拡散信号のいずれかに対応する略半数が前記第 2 のクロックの 1 周期間に反転と非反転の 2 つの極性状態を呈するように極性変換して出力し、残りの略半数の符号についてはそのまま出力する極性変換回路と、前記コンパレータ回路および遅延回路から出力された信号と前記極性変換回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、この N 個の乗算器の出力を加算する加算器と、この加算器の出力のピークを検出するピーク検出器と、このピーク検出器による前記ピークの検出に応じて前記拡散符号発生回路への前記第 2 のクロックの入力を制御するクロック制御回路とを有するものである。

【0 0 1 2】

また、本発明の逆拡散復調器は、受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から $(N-1)$ 周期 (N は 2 以上の整数) までそれぞれ遅延させた $N-1$ 個の信号を出力する $N-1$ 個の遅延回路と、第 2 のクロックに同期して N 個の拡散符号を発生する拡散符号発生回路と、前記コンパレータ回路および遅延回路から出力された信号と前記拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、この N 個の乗算器の乗算器出力信号のうち、受信した順番が新しい方の前記拡散信号または古い方の前記拡散信号のいずれかに対応する略半数が前記第 2 のクロックの 1 周期間に反転と非反転の 2 つの極性状態を呈するように極性変換して出力し、残りの略半数の乗算器出力信号についてはそのまま出力する極性変換回路と、この極性変換回路の出力を加算する加算器と、この加算器の出力のピークを検出するピーク検出器と、このピーク検出器による前記ピークの検出に応じて前記拡散符号発生回路への前記第 2 のクロックの入力を制御するクロック制御回路とを有するものである。

【0 0 1 3】

また、本発明の逆拡散復調器は、受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から $(N-1)$ 周

期（ N は2以上の整数）までそれぞれ遅延させた $N-1$ 個の信号を出力する $N-1$ 個の遅延回路と、第2のクロックに同期して N 個の拡散符号を発生する拡散符号発生回路と、前記コンパレータ回路および遅延回路の出力信号のうち、受信した順番が新しい方の前記拡散信号または古い方の前記拡散信号のいずれかに対応する略半数が前記第2のクロックの1周期間に反転と非反転の2つの極性状態を呈するように極性変換して出力し、残りの略半数の出力信号についてはそのまま出力する極性変換回路と、この極性変換回路から出力された信号と前記拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、この N 個の乗算器の出力を加算する加算器と、この加算器の出力のピークを検出するピーク検出器と、このピーク検出器による前記ピークの検出に応じて前記拡散符号発生回路への前記第2のクロックの入力を制御するクロック制御回路とを有するものである。

【0014】

また、本発明の逆拡散復調器の1構成例において、前記クロック制御回路は、前記ピーク検出器によって前記ピークが検出される度に、前記拡散符号発生回路への前記第2のクロックの入力の停止と再開とを交互に切り替えるものである。

また、本発明の逆拡散復調器の1構成例において、前記クロック制御回路は、前記ピーク検出器によって前記ピークが検出されたときに、前記拡散符号発生回路への前記第2のクロックの入力を一定時間だけ停止するものである。

また、本発明の逆拡散復調器の1構成例は、前記拡散符号発生回路をフリップフロップ回路と排他的論理和回路とフリップフロップ回路の出力パスを制御するスイッチとにより構成するようにしたものである。

また、本発明の逆拡散復調器の1構成例は、前記第1の拡散符号発生回路と前記第2の拡散符号発生回路と前記拡散符号制御回路とをDSPにより構成するようにしたものである。

また、本発明の逆拡散復調器の1構成例は、前記拡散符号発生回路と前記クロック制御回路とをDSPにより構成するようにしたものである。

【発明の効果】

【0015】

本発明によれば、コンパレータ回路と遅延回路と第1の拡散符号発生回路と第2の拡散符号発生回路と極性変換回路と乗算器と加算器とピーク検出器と拡散符号制御回路とから逆拡散復調器を構成し、外付け部品が不要で、かつ拡散信号と拡散符号との同期制御が不要な拡散符号発生回路を用いて拡散信号を逆拡散復調するようにしたので、低電力の逆拡散復調器を実現することができ、逆拡散復調器を搭載する携帯無線機の低電力・低コスト化を実現することができる。また、第2のクロックに同期して N 個の第1の拡散符号を発生する第1の拡散符号発生回路と、第2のクロックに同期して第1の拡散符号を逆向きに並び替えた N 個の第2の拡散符号を発生する第2の拡散符号発生回路と、ピーク検出器によってピークが検出される度に、第1の拡散符号発生回路から極性変換回路への第1の拡散符号の入力と第2の拡散符号発生回路から極性変換回路への第2の拡散符号の入力とを交互に切り替える拡散符号制御回路とを設けることにより、加算器からの相関ピーク信号が第1のクロック、第2のクロックおよび拡散符号に依存せず、相関ピーク信号を頻繁に得ることができるので、送信するデータのデータクロック周波数が高速な場合でも逆拡散復調を行うことができ、データクロック周波数を高速化することができる。さらに、極性変換回路を設けることにより、ピーク検出器の出力である受信信号が「1」から「0」または「0」から「1」に変化するときでも、加算器の出力に常時ピークが出現するので、受信信号のジッタを大幅に軽減することができる。また、コンパレータ回路を設けることにより、乗算器と加算器とピーク検出器とをデジタル回路で構成することが可能となるので、逆拡散復調器の設計が容易になり、逆拡散復調器の小型化を実現することができる。

【0016】

また、コンパレータ回路と遅延回路と拡散符号発生回路と極性変換回路と乗算器と加算器とピーク検出器とクロック制御回路とから逆拡散復調器を構成し、外付け部品が不要で

、かつ拡散信号と拡散符号との同期制御が不要な拡散符号発生回路を用いて拡散信号を逆拡散復調するようにしたので、低電力の逆拡散復調器を実現することができ、逆拡散復調器を搭載する携帯無線機の低電力・低コスト化を実現することができる。また、ピーク検出器によるピークの検出に応じて拡散符号発生回路への第2のクロックの入力を制御するクロック制御回路を設けることにより、加算器からの相関ピーク信号が第1のクロック、第2のクロックおよび拡散符号に依存せず、相関ピーク信号を頻繁に得ることができるので、送信するデータのデータクロック周波数が高速な場合でも逆拡散復調を行うことができ、データクロック周波数を高速化することができる。さらに、極性変換回路を設けることにより、ピーク検出器の出力である受信信号が「1」から「0」または「0」から「1」に変化するときでも、加算器の出力に常時ピークが出現するので、受信信号のジッタを大幅に軽減することができる。また、コンパレータ回路を設けることにより、乗算器と加算器とピーク検出器とをデジタル回路で構成することが可能となるので、逆拡散復調器の設計が容易になり、逆拡散復調器の小型化を実現することができる。

【発明を実施するための最良の形態】

【0017】

[第1の実施の形態]

図1は本発明の第1の実施の形態となる逆拡散復調器の構成を示すブロック図である。本実施の形態の逆拡散復調器は、入力された拡散信号を第1のクロック f_1 に同期して1ビットのデジタル信号に変換するコンパレータ回路13と、コンパレータ回路13の出力信号をクロック f_1 の1周期から $(N-1)$ 周期 (N は2以上の整数で、本実施の形態では7) までそれぞれ遅延させた $(N-1)$ 個の信号を出力する遅延回路14a~14fと、送信側で前記拡散信号の拡散に使用された拡散符号と同じ N 個の拡散符号を第2のクロック f_2 に同期して発生する拡散符号発生回路16と、拡散符号発生回路16から出力された N 個の拡散符号のうち、逆拡散復調器で受信した順番が新しい方の拡散信号または古い方の拡散信号のいずれかに対応する略半数がクロック f_2 の1周期間に反転と非反転の2つの極性状態を呈するように極性変換して出力し、残りの略半数の符号についてはそのまま出力する極性変換回路107と、コンパレータ回路13および遅延回路14a~14fから出力された信号と極性変換回路107から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器15a~15gと、乗算器15a~15gの各出力信号を加算する加算器17と、加算器17の出力信号のピーク値を検出するピーク検出器18とから構成される。

【0018】

第1のクロック f_1 は、送信側で拡散信号の拡散に使用されたクロックと同じ周波数のクロックである。第2のクロック f_2 は、送信側で拡散符号の生成に使用されたクロックと同じ周波数のクロックである。

なお、本実施の形態では、 $N=7$ とし、乗算器が $N=7$ 個の場合を示したが、 N は2以上の整数であればよい。

【0019】

図2に乗算器15 (15a~15g) の構成の1例を示す。各乗算器15は、NMOSトランジスタMN1~MN7からなり、2段縦積み型の差動回路で構成されている。拡散符号発生回路16から出力される拡散符号とコンパレータ回路13および遅延回路14 (14a~14f) から出力される拡散信号とは、差動形式の信号である。拡散符号発生回路16から出力される拡散符号はトランジスタMN1, MN2からなる差動回路とトランジスタMN3, MN4からなる差動回路とに互いに逆相で入力され、コンパレータ回路13および遅延回路14 (14a~14f) から出力される拡散信号はトランジスタMN5, MN6からなる差動回路に入力される。これにより、拡散符号と拡散信号とは乗算され、その乗算結果が電流モードで出力される。

【0020】

図3に加算器17の構成の1例を示す。加算器17は、一端に電源電圧が印加され、他端に乗算器15a~15gの差動出力が入力される負荷抵抗31, 32から構成される。

電流モードで出力する各乗算器 1 5 a ~ 1 5 g の差動出力は、加算器 1 7 において負荷抵抗 3 1, 3 2 により電圧に変換されて加算され電圧モードで出力される。加算器 1 7 の出力信号は、ピーク検出器 1 8 によりピーク検出され、受信信号（ベースバンド信号）として出力される。

【0 0 2 1】

図 4 に拡散符号発生回路 1 6 の構成の 1 例を示す。拡散符号発生回路 1 6 は、排他的論理和回路 1 6 3, 1 6 6 と、クロック f 2 に同期してシフトするシフトレジスタを構成するフリップフロップ回路 1 6 4 a ~ 1 6 4 g, 1 6 7 a ~ 1 6 7 g と、排他的論理和回路 1 6 3, 1 6 6 やフリップフロップ回路 1 6 4 a ~ 1 6 4 g, 1 6 7 a ~ 1 6 7 g の出力パスをオン／オフするスイッチ 1 6 5 a ~ 1 6 5 h, 1 6 8 a ~ 1 6 8 h と、スイッチ 1 6 5 a ~ 1 6 5 h, 1 6 8 a ~ 1 6 8 h を制御する拡散符号制御回路 1 6 9 とから構成される。

【0 0 2 2】

本実施の形態では、フリップフロップ回路 1 6 4 a, 1 6 4 c の出力を排他的論理和回路 1 6 3 に取り込み、この排他的論理和回路 1 6 3 の演算結果をフリップフロップ 1 6 4 a の入力に戻すことにより、送信側で拡散信号の拡散に使用された拡散符号と同じ第 1 の拡散符号を発生する。一方、フリップフロップ回路 1 6 7 e, 1 6 7 f の出力を排他的論理和回路 1 6 6 に取り込み、排他的論理和回路 1 6 6 の演算結果をフリップフロップ 1 6 7 g の入力に戻すことにより第 1 の拡散符号を逆順に並べ替えた第 2 の拡散符号を発生する。

【0 0 2 3】

すなわち、第 1 の排他的論理和回路 1 6 3、フリップフロップ回路 1 6 4 a ~ 1 6 4 g からなる第 1 のフリップフロップ回路群およびスイッチ 1 6 5 a ~ 1 6 5 h からなる第 1 のスイッチ群は第 1 の拡散符号発生回路 1 6 0 - 1 を構成し、第 2 の排他的論理和回路 1 6 6、フリップフロップ回路 1 6 7 a ~ 1 6 7 h からなる第 2 のフリップフロップ回路群およびスイッチ 1 6 8 a ~ 1 6 8 h からなる第 2 のスイッチ群は第 1 の拡散符号発生回路 1 6 0 - 1 が発生する第 1 の拡散符号とは逆方向に信号がシフトしていく第 2 の拡散符号を発生する第 2 の拡散符号発生回路 1 6 0 - 2 を構成している。排他的論理和回路 1 6 3, 1 6 6 への入力の組み合わせを変えるだけで各種の拡散符号に対応した拡散符号発生回路が形成できる。

【0 0 2 4】

拡散符号制御回路 1 6 9 は、ピーク検出器 1 8 によるピーク検出に応じてスイッチ 1 6 5 a ~ 1 6 5 h, 1 6 8 a ~ 1 6 8 h を制御する。スイッチ 1 6 5 a ~ 1 6 5 h がオンのときはスイッチ 1 6 8 a ~ 1 6 8 h はオフであり、第 1 の拡散符号発生回路 1 6 0 - 1 で発生する第 1 の拡散符号は図 4 において左から右へとシフトしていく。逆に、スイッチ 1 6 5 a ~ 1 6 5 h がオフのときはスイッチ 1 6 8 a ~ 1 6 8 h はオンであり、第 2 の拡散符号発生回路 1 6 0 - 2 で発生する第 2 の拡散符号は図 4 において右から左へとシフトしていく。

【0 0 2 5】

拡散符号制御回路 1 6 9 は、ピーク検出器 1 8 によってピークが検出される度に第 1 のスイッチ群（1 6 5 a ~ 1 6 5 h）と第 2 のスイッチ群（1 6 8 a ~ 1 6 8 h）とを交互に切り替えて拡散符号のシフトする方向を切り替える。第 1 の拡散符号発生回路 1 6 0 - 1 または第 2 の拡散符号発生回路 1 6 0 - 2 のうち、スイッチ群がオンしている一方の拡散符号発生回路のフリップフロップ回路群から対応する乗算器 1 5 a ~ 1 5 g に拡散符号が入力される。また、このフリップフロップ回路群の出力はスイッチ群がオフしている他方の拡散符号発生回路のフリップフロップ回路群にも同時に入力されているため、スイッチ群を切り替える際には、その時点で出力している拡散符号を保持したまま、逆方向へ拡散符号がシフトを始める。

【0 0 2 6】

図 5 に図 4 の拡散符号発生回路（本例では P N 7 { 1 - 1 1 1 1 - 1 - 1 } の拡散符号

）動作時の波形を示す。図 5（a）は第 1 の拡散符号発生回路 1 6 0 - 1 がオン状態のとき発生する第 1 の拡散符号を示し、図 5（b）は第 2 の拡散符号発生回路 1 6 0 - 2 がオン状態のとき発生する第 2 の拡散符号を示している。

【0 0 2 7】

以下、本実施の形態の逆拡散復調器の動作を詳細に説明する。コンパレータ回路 1 3 は、入力された拡散信号の信号レベルを所定のしきい値に基づいてクロック f 1 の周期毎に判定し、拡散信号をハイ（High）またはロウ（Low）の 1 ビットデジタルデータに変換して出力する。コンパレータ回路 1 3 から出力された信号は、フリップフロップからなる遅延回路 1 4 a および乗算器 1 5 a へ供給される。

【0 0 2 8】

遅延回路 1 4 a は、コンパレータ回路 1 3 の出力信号をクロック f 1 の 1 周期分だけ遅延させて遅延回路 1 4 b および乗算器 1 5 b に出力する。遅延回路 1 4 b ~ 1 4 e の動作も同様である。遅延回路 1 4 f は、遅延回路 1 4 e の出力信号をクロック f 1 の 1 周期分だけ遅延させて乗算器 1 5 g に出力する。

以上の動作により、コンパレータ回路 1 3 から出力された信号は、乗算器 1 5 a へ供給されると共に、遅延回路 1 4 a ~ 1 4 f によってクロック f 1 の 1 周期ずつ順次遅れて乗算器 1 5 b ~ 1 5 g へ供給される。

【0 0 2 9】

本実施の形態では、コンパレータ回路 1 3 および 6 個の遅延回路 1 4 a ~ 1 4 f によって 7 チップレートに相当する拡散信号が常に乗算器 1 5 a ~ 1 5 g に入力されることとなる。コンパレータ回路 1 3 および遅延回路 1 4 a ~ 1 4 f から出力される 7 チップレートの拡散信号は、クロック f 1 に同期して更新され、コンパレータ回路 1 3 からは常にクロック f 1 のタイミングで新しい拡散信号が出力される。

【0 0 3 0】

一方、拡散符号発生回路 1 6 からは拡散符号がクロック f 2 に同期して発生し、極性変換回路 1 0 7 に入力される。コンパレータ回路 1 3 および遅延回路 1 4 a ~ 1 4 f から出力された拡散信号と拡散符号発生回路 1 6 から極性変換回路 1 0 7 を介して出力された拡散符号とは、乗算器 1 5 a ~ 1 5 g により対応する信号毎に乗算され、各乗算器 1 5 a ~ 1 5 g の乗算結果が加算器 1 7 により加算されて出力される。

【0 0 3 1】

ここで、極性変換回路 1 0 7 を省略して拡散符号発生回路 1 6 と乗算器 1 5 a ~ 1 5 g とを直接接続した場合の動作を説明する。拡散符号発生回路 1 6 からの拡散符号により少なくとも拡散符号長の時間間隔に 1 回は拡散信号と拡散符号の位相が一致し相関ピーク信号が加算器 1 7 から得られる。ピーク検出器 1 8 がこのピークを検出すると、拡散符号制御回路 1 6 9 により拡散符号発生回路 1 6 内のフリップフロップ間の信号パスが切り替えられ、拡散符号のシフトする方向が切り替えられる。

【0 0 3 2】

拡散符号のシフトする方向が一方向の場合、次の相関ピーク信号が現れるのは、拡散符号がシフトしていき同じ拡散符号パターンが乗算器 1 5 a ~ 1 5 g に入力されるときであり、拡散符号長の時間間隔に 1 回である。本実施の形態では、ピーク検出器 1 8 によってピークが検出される度に拡散符号がシフトする方向を切り替える構成としている。このため、相関ピーク信号が得られると、拡散符号制御回路 1 6 9 により拡散符号のシフト方向が切り替えられ、逆方向にシフトする拡散符号が乗算器 1 5 a ~ 1 5 g に入力される。

【0 0 3 3】

拡散符号制御回路 1 6 9 が相関ピーク信号を検出してから拡散符号が逆方向にシフトし始めるまでの遅延時間の間に、乗算器 1 5 a ~ 1 5 g に入力中の拡散符号は切り替え前のシフト方向にシフトし続けている。このため、相関ピーク信号が検出されたときの拡散符号パターンとシフト方向が切り替わったとき乗算器 1 5 a ~ 1 5 g に入力される拡散符号の位相にずれが生じるが、乗算器 1 5 a ~ 1 5 g に入力される拡散符号が逆方向にシフトし始めるため、シフト方向の切り替えから程無くして拡散信号と拡散符号の位相は再び一

致し、次の相関ピーク信号が加算器 1 7 から得られる。拡散符号制御回路 1 6 9 は、ピーク検出器 1 8 により次の相関ピーク信号が検出されると、拡散符号のシフト方向を逆方向に切り替える。

【 0 0 3 4 】

以下同様の制御を繰り返すことにより、使用する拡散符号長によらず相関ピーク信号を頻繁に得ることができる。

本構成では、送信側から送られたデジタルデータの「1」，「0」に対応して加算器 1 7 から正負の相関値出力が得られる。ピーク検出器 1 8 は、加算器 1 7 の出力信号のピークを検出することにより、デジタルの受信信号（ベースバンド信号）を出力する。

【 0 0 3 5 】

こうして、ピーク検出器 1 8 によるピークの検出に応じて拡散符号発生回路 1 6 における拡散符号のシフト方向を切り替えることにより、加算器 1 7 からの相関ピーク信号がクロック f_1 ， f_2 や使用する拡散符号に依存しない構成となるため、送信する信号のデータレートの高ビット化を図ることができる。

【 0 0 3 6 】

しかし、極性変換回路 1 0 7 による極性変換をしない構成、例えば特願 2 0 0 2 - 3 5 2 0 1 9 号で提案した逆拡散復調器では、送信データの遷移時にピーク検出が不能となり、検波不能期間が発生する。例えば、図 6 の例では、ピーク検出器 1 8 の出力（図 1 の B 点）である受信信号が「1」から「0」に遷移するとき、加算器 1 7 の出力（図 1 の A 点）に現れていた受信信号「1」に対応する正のピーク P_1 が途切れ、受信信号「0」に対応する負のピーク P_0 が現れるまでに時間を要している。その結果、復調後の受信信号に大きなジッタが発生するという問題があった。さらに、このため伝送容量を大きくできないという問題があった。

【 0 0 3 7 】

これに対して、本実施の形態では、拡散符号発生回路 1 6 と乗算器 1 5 a ~ 1 5 g との間に極性変換回路 1 0 7 を設けている。極性変換回路 1 0 7 は、拡散符号発生回路 1 6 から出力された N 個の拡散符号のうち、受信した順番が新しい方の拡散信号または古い方の拡散信号のいずれかに対応する略半数が第 2 のクロック f_2 の 1 周期間に反転と非反転の 2 つの極性状態を呈するように前記略半数の符号を極性変換して出力し、 N 個の拡散符号のうち前記略半数を除く残りの符号についてはそのまま出力する。

【 0 0 3 8 】

この極性変換回路 1 0 7 は、第 3 のクロック f_3 に基づいて動作する。図 7 に第 2 のクロック f_2 と第 3 のクロック f_3 のタイミングの 1 例を示す。クロック f_2 とクロック f_3 とは同期している。拡散符号発生回路 1 6 から出力される N 個の拡散符号の状態は、クロック f_2 に同期して変化する。図 7 (c) の例では、クロック f_2 に同期して「A」，「B」，「C」，「D」，「E」，「F」，「G」，「H」・・・というように拡散符号の状態が変化している。

【 0 0 3 9 】

極性変換回路 1 0 7 は、クロック f_3 が「0」から「1」に変化するとき、前記略半数の拡散符号の極性状態を非反転（図 7 (d) では「+」）から反転（図 7 (d) では「-」）に変更し、クロック f_3 が「1」から「0」に変化するとき、前記略半数の拡散符号の極性状態を反転から非反転に変更する。すなわち、前記略半数の拡散符号がクロック f_2 の 1 周期間に反転と非反転の 2 つの極性状態を呈するようにするため、クロック f_2 の 1 周期の間にクロック f_3 が「0」から「1」へ変化または「1」から「0」へ変化するようにクロック f_2 とクロック f_3 のタイミングを設定している。

【 0 0 4 0 】

なお、本実施の形態では、クロック f_3 がクロック f_2 の $1/2$ の場合を示しているが、クロック f_2 の 1 周期の間に前記略半数の拡散符号に反転と非反転の 2 つの極性状態が現れるように設定すればよく、クロック f_3 とクロック f_2 を等しくしてもよいし、クロック f_3 がクロック f_2 より大きくてもよい。

前記略半数は、Nが偶数の場合にはNを2で割った整数でよいが、Nが奇数の場合にはNを2で割った整数に1を加算した値または整数から1を減算した値のいずれかでよい。例えば、N=7の場合の略半数は3または4のいずれかである。

【0041】

本実施の形態では、最新の拡散信号を出力するのは常にコンパレータ回路13であり、最古の拡散信号を出力するのは常に遅延回路14fである。したがって、拡散信号の新しい方に対応する略半数の拡散符号とは、乗算器15a, 15b, 15c, 15dに対応する拡散符号（略半数が4の場合）あるいは乗算器15a, 15b, 15cに対応する拡散符号（略半数が3の場合）であり、拡散信号の古い方に対応する略半数の拡散符号とは、乗算器15g, 15f, 15e, 15dに対応する拡散符号（略半数が4の場合）あるいは乗算器15g, 15f, 15eに対応する拡散符号（略半数が3の場合）である。

【0042】

図8に図1のA点とB点における特徴的な信号波形を示す。この図8は、極性変換回路107によって極性変換される略半数の拡散符号が拡散信号の古い方の略半数に対応する場合を示している。図8から分かるように、ピーク検出器18の出力（図1のB点）である受信信号が「1」から「0」に遷移するときには、極性変換回路107による極性変換をしない図6の場合に比べて、受信信号「0」に対応する負のピークP0'が加算器17の出力（図1のA点）に早めに出現する。その理由は、受信信号が「1」から「0」に遷移する途上において、拡散信号の新しい方の略半数は既に「0」に変化しており、一方、拡散信号の古い方の略半数は未だ「1」のままであるが、この拡散信号の古い方の略半数に対応する拡散符号を極性反転させることで、拡散信号の古い方の略半数を実質的に「0」に変化させることになるからである。同様の理由により、受信信号が「0」から「1」に遷移するときには、極性変換回路107による極性変換をしない場合に比べて、受信信号「1」に対応する正のピークが加算器17の出力に早めに出現する。

【0043】

また、図9に、極性変換回路107によって極性変換される略半数の拡散符号が拡散信号の新しい方の略半数に対応する場合の信号波形を示す。図9から分かるように、ピーク検出器18の出力（B点）である受信信号が「1」から「0」に遷移するときには、極性変換回路107による極性変換をしない場合に比べて、受信信号「1」に対応する新たな正のピークP1'が加算器17の出力（A点）に出現する。その理由は、拡散信号の新しい方の略半数に対応する拡散符号を極性反転させることで、拡散信号の新しい方の略半数を実質的に「1」に変化させることになるからである。同様の理由により、受信信号が「0」から「1」に遷移するときには、極性変換回路107による極性変換をしない場合に比べて、受信信号「0」に対応する新たな負のピークが加算器17の出力に出現する。

【0044】

本実施の形態によれば、拡散信号と拡散符号との同期制御を行うことなく逆拡散復調を行うことができる。また、本実施の形態では、加算器17からの相関ピーク信号がクロックf1, f2や使用する拡散符号に依存しない構成のため、送信する信号のデータレートの高ビット化を図ることができる。

さらに、本実施の形態では、受信信号が「1」から「0」または「0」から「1」に変化するときでも、加算器17の出力に常時ピークが出現するので、検波不能になることがない。その結果、本実施の形態では、受信信号のジッタを大幅に軽減することができる。

【0045】

〔第2の実施の形態〕

次に、本発明の第2の実施の形態について説明する。図10は本発明の第2の実施の形態となる逆拡散復調器の構成を示すブロック図であり、図1と同一の構成には同一の符号を付してある。本実施の形態は、第1の実施の形態の逆拡散復調器に対して、極性変換回路の設置箇所を変更した構成になっている。すなわち、本実施の形態の極性変換回路108は、乗算器15a～15gと加算器17との間に設けられている。

【0046】

極性変換回路 1 0 8 は、乗算器 1 5 a ~ 1 5 g の N 個の乗算器出力信号のうち、逆拡散復調器で受信した順番が新しい方の拡散信号または古い方の拡散信号のいずれかに対応する略半数が第 2 のクロック f 2 の 1 周期間に反転と非反転の 2 つの極性状態を呈するように前記略半数の乗算器出力信号を極性変換して出力し、N 個の乗算器出力信号のうち前記略半数を除く残りの信号についてはそのまま出力する。極性変換回路 1 0 8 が第 3 のクロック f 3 に基づいて動作することは、第 1 の実施の形態と同様である。

【0 0 4 7】

乗算器 1 5 a ~ 1 5 g の N 個の乗算器出力信号のうち、拡散信号の新しい方に対応する略半数の乗算器出力信号とは、乗算器 1 5 a, 1 5 b, 1 5 c, 1 5 d の出力信号（略半数が 4 の場合）あるいは乗算器 1 5 a, 1 5 b, 1 5 c の出力信号（略半数が 3 の場合）であり、拡散信号の古い方に対応する略半数の乗算器出力信号とは、乗算器 1 5 g, 1 5 f, 1 5 e, 1 5 d の出力信号（略半数が 4 の場合）あるいは乗算器 1 5 g, 1 5 f, 1 5 e の出力信号（略半数が 3 の場合）である。

こうして、本実施の形態においても、第 1 の実施の形態と同様の効果を得ることができる。

【0 0 4 8】

[第 3 の実施の形態]

次に、本発明の第 3 の実施の形態について説明する。図 1 1 は本発明の第 3 の実施の形態となる逆拡散復調器の構成を示すブロック図であり、図 1 と同一の構成には同一の符号を付してある。本実施の形態は、第 1 の実施の形態の逆拡散復調器に対して、極性変換回路の設置箇所を変更した構成になっている。すなわち、本実施の形態の極性変換回路 1 0 9 は、コンパレータ回路 1 3 および遅延回路 1 4 a ~ 1 4 f と乗算器 1 5 a ~ 1 5 g との間に設けられている。

【0 0 4 9】

極性変換回路 1 0 9 は、コンパレータ回路 1 3 および遅延回路 1 4 a ~ 1 4 f の N 個の出力信号のうち、逆拡散復調器で受信した順番が新しい方の拡散信号または古い方の拡散信号のいずれかに対応する略半数が第 2 のクロック f 2 の 1 周期間に反転と非反転の 2 つの極性状態を呈するように前記略半数のサンプルホールド出力信号を極性変換して出力し、N 個の出力信号のうち前記略半数を除く残りの信号についてはそのまま出力する。極性変換回路 1 0 9 が第 3 のクロック f 3 に基づいて動作することは、第 1 の実施の形態と同様である。

【0 0 5 0】

コンパレータ回路 1 3 および遅延回路 1 4 a ~ 1 4 f の N 個の出力信号のうち、拡散信号の新しい方に対応する略半数の出力信号とは、コンパレータ回路 1 3 および遅延回路 1 4 a, 1 4 b, 1 4 c の出力信号（略半数が 4 の場合）あるいはコンパレータ回路 1 3 および遅延回路 1 4 a, 1 4 b の出力信号（略半数が 3 の場合）であり、拡散信号の古い方に対応する略半数の出力信号とは、乗算器 1 4 f, 1 4 e, 1 4 d, 1 4 c の出力信号（略半数が 4 の場合）あるいは乗算器 1 4 f, 1 4 e, 1 4 d の出力信号（略半数が 3 の場合）である。

こうして、本実施の形態においても、第 1 の実施の形態と同様の効果を得ることができる。

【0 0 5 1】

[第 4 の実施の形態]

次に、本発明の第 4 の実施の形態について説明する。図 1 2 は本発明の第 4 の実施の形態となる逆拡散復調器の構成を示すブロック図であり、図 1 と同一の構成には同一の符号を付してある。本実施の形態が第 1 の実施の形態と異なるのは、拡散符号発生回路 2 0 へのクロック f 2 の入力を制御するクロック制御回路 1 9 を備え、このクロック制御回路 1 9 がピーク検出器 1 8 によるピークの検出に応じて拡散符号発生回路 2 0 へのクロック f 2 の入力を制御する点と、拡散符号発生回路 2 0 から出力される拡散符号が一方向のみにシフトする点である。

【0 0 5 2】

図 1 3 に本実施の形態の拡散符号発生回路 2 0 の構成の 1 例を示す。拡散符号発生回路 2 0 は、排他的論理和回路 1 6 1 と、この排他的論理和回路 1 6 1 の出力をクロック f 2 に同期してシフトするシフトレジスタを構成するフリップフロップ回路 1 6 2 a ~ 1 6 2 g とからなる。本実施の形態では、フリップフロップ回路 1 6 2 a, 1 6 2 c の出力を排他的論理和回路 1 6 1 に取り込み、この排他的論理和回路 1 6 1 の演算結果をフリップフロップ回路 1 6 2 a の入力に戻すことで拡散符号（本実施の形態では P N 7）を生成している。

【0 0 5 3】

排他的論理和回路 1 6 1 への入力の組み合わせを変えるだけで各種の拡散符号を生成することができる。なお、遅延回路 1 4 a ~ 1 4 f や乗算器 1 5 a ~ 1 5 g の数を増やす場合は、拡散符号発生回路 2 0 のフリップフロップ回路 1 6 2 の数をそれに合わせて増加させればよい。

【0 0 5 4】

以下、本実施の形態の逆拡散復調器の動作を詳細に説明する。コンパレータ回路 1 3 および遅延回路 1 4 a ~ 1 4 f の動作は第 1 の実施の形態と同じである。

拡散符号発生回路 2 0 は、拡散符号をクロック f 2 に同期して出力する。拡散符号発生回路 2 0 のフリップフロップ回路 1 6 2 a ~ 1 6 2 g から出力される拡散符号は、極性変換回路 1 1 0 に出力される。フリップフロップ回路 1 6 2 a ~ 1 6 2 g は縦続接続され、シフトレジスタを構成している。このため、拡散符号はクロック f 2 に同期して図 1 3 の右方向にシフトしながら極性変換回路 1 1 0 へ出力される。

【0 0 5 5】

極性変換回路 1 1 0 は、拡散符号発生回路 2 0 から出力された N 個の拡散符号のうち、逆拡散復調器で受信した順番が新しい方の拡散信号または古い方の拡散信号のいずれかに対応する略半数が第 2 のクロック f 2 の 1 周期間に反転と非反転の 2 つの極性状態を呈するように前記略半数の符号を極性変換して出力し、N 個の拡散符号のうち前記略半数を除く残りの符号についてはそのまま出力する。極性変換回路 1 1 0 が第 3 のクロック f 3 に基づいて動作することは、第 1 の実施の形態と同様である。

【0 0 5 6】

コンパレータ回路 1 3 および遅延回路 1 4 a ~ 1 4 f から出力された拡散信号と極性変換回路 1 1 0 から出力された拡散符号とは、乗算器 1 5 a ~ 1 5 g により対応する信号毎に乗算され、各乗算器 1 5 a ~ 1 5 g の乗算結果が加算器 1 7 により加算されて出力される。ピーク検出器 1 8 は、加算器 1 7 の出力信号のピークを検出することにより、デジタルの受信信号（ベースバンド信号）を出力する。

【0 0 5 7】

第 1 の実施の形態で説明したように、拡散信号と拡散符号の位相が一致した瞬間に加算器 1 7 からは相関ピーク信号（第 1 の相関ピーク信号と呼ぶ）が得られる。クロック制御回路 1 9 は、ピーク検出器 1 8 により第 1 の相関ピーク信号が検出されると、拡散符号発生回路 2 0 のフリップフロップ回路 1 6 2 a ~ 1 6 2 g へのクロック f 2 の入力を停止する。これにより、拡散符号はシフトすることなくフリップフロップ回路 1 6 2 a ~ 1 6 2 g で保持される。

【0 0 5 8】

ピーク検出器 1 8 が第 1 の相関ピーク信号を検出して拡散符号のシフトが実際に停止するまでの遅延時間の間に、拡散信号と拡散符号の位相はクロック f 1 とクロック f 2 の差の周波数で変化し続けている。このため、拡散符号のシフトが停止したときには、第 1 の相関ピーク信号が検出されたときに比べて拡散信号と拡散符号の位相にずれが生じており、拡散符号の位相は拡散信号に対してわずかに進み位相となっている。

【0 0 5 9】

拡散符号のシフトが停止した後も、拡散信号はクロック f 1 に同期してシフトしているため、拡散信号と拡散符号の位相は f 1 の速度で変化し、拡散符号に対して遅れ位相であ

った拡散信号の位相は進み位相の方向に変化する。拡散符号のシフトが停止したとき、拡散符号の位相は拡散信号に対してわずかに進み位相となっているだけなので、拡散符号のシフト停止から程無くして拡散信号と拡散符号の位相は再び一致し、相関ピーク信号（第2の相関ピーク信号と呼ぶ）が加算器17から得られる。

【0060】

クロック制御回路19は、第1の相関ピーク信号に応じて拡散符号発生回路20へのクロックf2の入力を停止した後、ピーク検出器18により第2の相関ピーク信号が検出されると、拡散符号発生回路20のフリップフロップ回路162a～162gへのクロックf2の入力を再開する。ピーク検出器18が第2の相関ピーク信号を検出して拡散符号のシフトが実際に再開されるまでの遅延時間の間に、拡散信号と拡散符号の位相はクロックf1の周波数で変化し続けている。このため、拡散符号のシフトが再開したときには、第2の相関ピーク信号が検出されたときに比べて拡散信号と拡散符号の位相にずれが生じており、拡散信号の位相は拡散符号に対してわずかに進み位相となっている。

【0061】

拡散符号のシフトの再開後、拡散信号と拡散符号の位相は再びf1とf2の周波数差で拡散信号に対して拡散符号の位相が進み位相となるように変化し始める。拡散符号のシフトが再開したとき、拡散信号の位相は拡散符号に対してわずかに進み位相となっているだけなので、拡散符号のシフト再開から程無くして拡散信号と拡散符号の位相は再び一致し、相関ピーク信号（第3の相関ピーク信号と呼ぶ）が加算器17から得られる。

【0062】

クロック制御回路19は、第2の相関ピーク信号に応じて拡散符号発生回路20へのクロックf2の入力を再開した後、ピーク検出器18により第3の相関ピーク信号が検出されると、拡散符号発生回路20へのクロックf2の入力を停止する。

以下同様の制御を繰り返すことにより相関ピーク信号を頻繁に得ることができる。

【0063】

図12の逆拡散復調器においてクロック制御回路を省略した構成では、相関ピーク信号の得られる周期がクロックf1とクロックf2の和の周波数もしくは差の周波数と、使用する拡散符号の符号長とに依存するが、本実施の形態では、クロックf1、f2や使用する拡散符号に依存せずに相関ピーク信号が得られる。加算器17の出力（図12のA点）およびピーク検出器18の出力（図12のB点）における特徴的な信号波形は図8、図9と同様になる。

【0064】

本実施の形態によれば、第1の実施の形態と同様に、拡散信号と拡散符号との同期制御を行うことなく逆拡散復調を行うことができる。また、本実施の形態では、加算器17からの相関ピーク信号がクロックf1、f2や使用する拡散符号に依存しない構成のため、送信する信号のデータレートの高ビット化を図ることができる。

さらに、本実施の形態では、受信信号が「1」から「0」または「0」から「1」に変化するときでも、加算器17の出力に常時ピークが出現するので、検波不能になることがない。その結果、本実施の形態では、受信信号のジッタを大幅に軽減することができる。

【0065】

なお、本実施の形態では、加算器17からの相関ピーク信号を検出するたびに拡散符号発生回路20へのクロックf2の入力を停止／再開する構成としたが、相関ピーク信号を検出して拡散符号発生回路20へのクロックf2の入力を停止した後は、次の相関ピーク信号を検出せずに一定時間待ってからクロックf2の入力を再開する構成にしても同様の効果が得られる。

【0066】

〔第5の実施の形態〕

次に、本発明の第5の実施の形態について説明する。図14は本発明の第5の実施の形態となる逆拡散復調器の構成を示すブロック図であり、図12と同一の構成には同一の符号を付してある。本実施の形態は、第4の実施の形態の逆拡散復調器に対して、極性変換

回路の設置箇所を変更した構成になっている。すなわち、本実施の形態の極性変換回路 111 は、乗算器 15a ~ 15g と加算器 17 との間に設けられている。

【0067】

極性変換回路 111 は、乗算器 15a ~ 15g の N 個の乗算器出力信号のうち、逆拡散復調器で受信した順番が新しい方の拡散信号または古い方の拡散信号のいずれかに対応する略半数が第 2 のクロック f2 の 1 周期間に反転と非反転の 2 つの極性状態を呈するように前記略半数の乗算器出力信号を極性変換して出力し、N 個の乗算器出力信号のうち前記略半数を除く残りの信号についてはそのまま出力する。極性変換回路 111 が第 3 のクロック f3 に基づいて動作することは、第 1 の実施の形態と同様である。

こうして、本実施の形態においても、第 4 の実施の形態と同様の効果を得ることができる。

【0068】

[第 6 の実施の形態]

次に、本発明の第 6 の実施の形態について説明する。図 15 は本発明の第 6 の実施の形態となる逆拡散復調器の構成を示すブロック図であり、図 12 と同一の構成には同一の符号を付してある。本実施の形態は、第 4 の実施の形態の逆拡散復調器に対して、極性変換回路の設置箇所を変更した構成になっている。すなわち、本実施の形態の極性変換回路 112 は、コンパレータ回路 13 および遅延回路 14a ~ 14f と乗算器 15a ~ 15g との間に設けられている。

【0069】

極性変換回路 112 は、コンパレータ回路 13 および遅延回路 14a ~ 14f の N 個の出力信号のうち、逆拡散復調器で受信した順番が新しい方の拡散信号または古い方の拡散信号のいずれかに対応する略半数が第 2 のクロック f2 の 1 周期間に反転と非反転の 2 つの極性状態を呈するように前記略半数のサンプルホールド出力信号を極性変換して出力し、N 個の出力信号のうち前記略半数を除く残りの信号についてはそのまま出力する。極性変換回路 112 が第 3 のクロック f3 に基づいて動作することは、第 1 の実施の形態と同様である。

こうして、本実施の形態においても、第 4 の実施の形態と同様の効果を得ることができる。

【0070】

なお、第 1 の実施の形態から第 3 の実施の形態の拡散符号発生回路 16 と拡散符号制御回路 169 とを DSP (Digital Signal Processor) により構成することが可能であり、また第 4 の実施の形態から第 6 の実施の形態の拡散符号発生回路 20 とクロック制御回路 19 とを DSP により構成することも可能である。

【0071】

[第 7 の実施の形態]

次に、本発明の第 7 の実施の形態について説明する。本実施の形態の逆拡散復調器は、上記第 1 の実施の形態から第 6 の実施の形態のいずれかにおいて、乗算器 15a ~ 15g と加算器 17 とピーク検出器 18 とをデジタル回路で構成することを特徴としている。

乗算器 15a ~ 15g に入力される拡散信号および拡散符号は、どちらもデジタル信号なので、図 2、図 3 に示したような回路によるアナログ演算を行わなくとも、デジタル回路を用いてデジタル演算を行うことによる逆拡散復調が可能である。

【0072】

第 1 の実施の形態における逆拡散復調器の乗算器 15a ~ 15g、加算器 17 およびピーク検出器 18 をデジタル回路で構成した場合を考える。乗算器 15a ~ 15g を EXOR (Exclusive-OR) - NOT で構成したとすると、拡散信号と拡散符号の位相が同極性で一致した場合は、各乗算器 15a ~ 15g から出力されるデジタル信号は「1」となり、乗算器の数が 7 個の場合、加算した結果は「7」となる。逆に、拡散信号と拡散符号の位相が逆極性で一致した場合は、各乗算器 15a ~ 15g から出力されるデジタル信号は「0」となり、加算した結果も「0」となる。

【0 0 7 3】

拡散信号と拡散符号の位相が1チップレート以上ずれている場合は、加算器17から出力される結果は「0」と「7」の中間の「3」, 「4」程度となる。加算器17から出力される値が「7」の相関ピーク信号は、送信されたベースバンド信号の「1」に相当し、加算器17から出力される値が「0」の相関ピーク信号は、送信されたベースバンド信号の「0」に相当する。したがって、加算器17から出力される「0」付近の相関ピーク信号と「7」付近の相関ピーク信号を検知することにより、送信されたベースバンド信号を復調することができる。

【0 0 7 4】

したがって、本実施の形態では、拡散信号と拡散符号との同期制御を行うことなく逆拡散復調を行うことができ、コンパレータ回路以外を全てデジタル回路で実現できるため、逆拡散復調器の設計が容易になり、逆拡散復調器の小型化を実現することができる。

【産業上の利用可能性】

【0 0 7 5】

本発明は、拡散符号を用いた演算により所望の信号を周波数拡散して送信した拡散信号を受信し、この受信した拡散信号を拡散符号を用いた演算により逆拡散して前記所望の信号を取り出す無線通信に適用できる。

【図面の簡単な説明】

【0 0 7 6】

【図1】図1は本発明の第1の実施の形態となる逆拡散復調器の構成を示すブロック図である。

【図2】本発明の第1の実施の形態の逆拡散復調器に用いる乗算器の1構成例を示す回路図である。

【図3】本発明の第1の実施の形態の逆拡散復調器に用いる加算器の1構成例を示す回路図である。

【図4】本発明の第1の実施の形態の逆拡散復調器に用いる拡散符号発生回路の1構成例を示すブロック図である。

【図5】本発明の第1の実施の形態の逆拡散復調器に用いる拡散符号発生回路の動作を説明する図である。

【図6】本発明の第1の実施の形態において極性変換回路を省略した場合の問題点を説明するための図である。

【図7】本発明の第1の実施の形態の逆拡散復調器に用いる第2のクロックと第3のクロックのタイミングの1例を示す図である。

【図8】本発明の第1の実施の形態の逆拡散復調器で得られる加算信号およびベースバンド信号の信号波形の1例を示す図である。

【図9】本発明の第1の実施の形態の逆拡散復調器で得られる加算信号およびベースバンド信号の信号波形の他の例を示す図である。

【図10】本発明の第2の実施の形態となる逆拡散復調器の構成を示すブロック図である。

【図11】本発明の第3の実施の形態となる逆拡散復調器の構成を示すブロック図である。

【図12】本発明の第4の実施の形態となる逆拡散復調器の構成を示すブロック図である。

【図13】本発明の第4の実施の形態の逆拡散復調器に用いる拡散符号発生回路の1構成例を示すブロック図である。

【図14】本発明の第5の実施の形態となる逆拡散復調器の構成を示すブロック図である。

【図15】本発明の第6の実施の形態となる逆拡散復調器の構成を示すブロック図である。

【図16】第1の従来技術である逆拡散復調器の構成を示すブロック図である。

【図 1 7】 第 2 の従来技術である逆拡散復調器の構成を示すブロック図である。

【図 1 8】 第 2 の従来技術である逆拡散復調器で得られる加算信号およびベースバンド信号の信号波形図である。

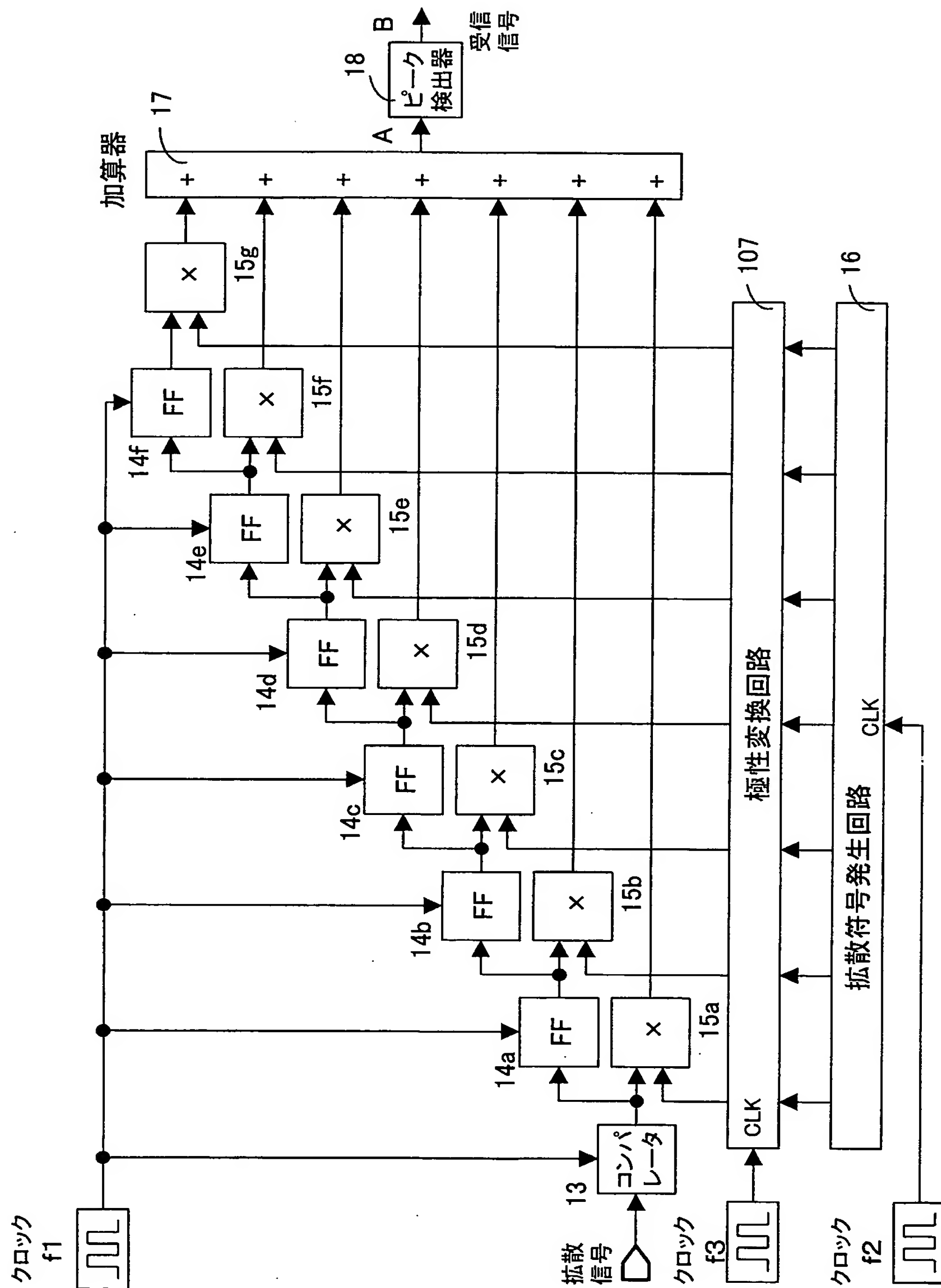
【符号の説明】

【 0 0 7 7 】

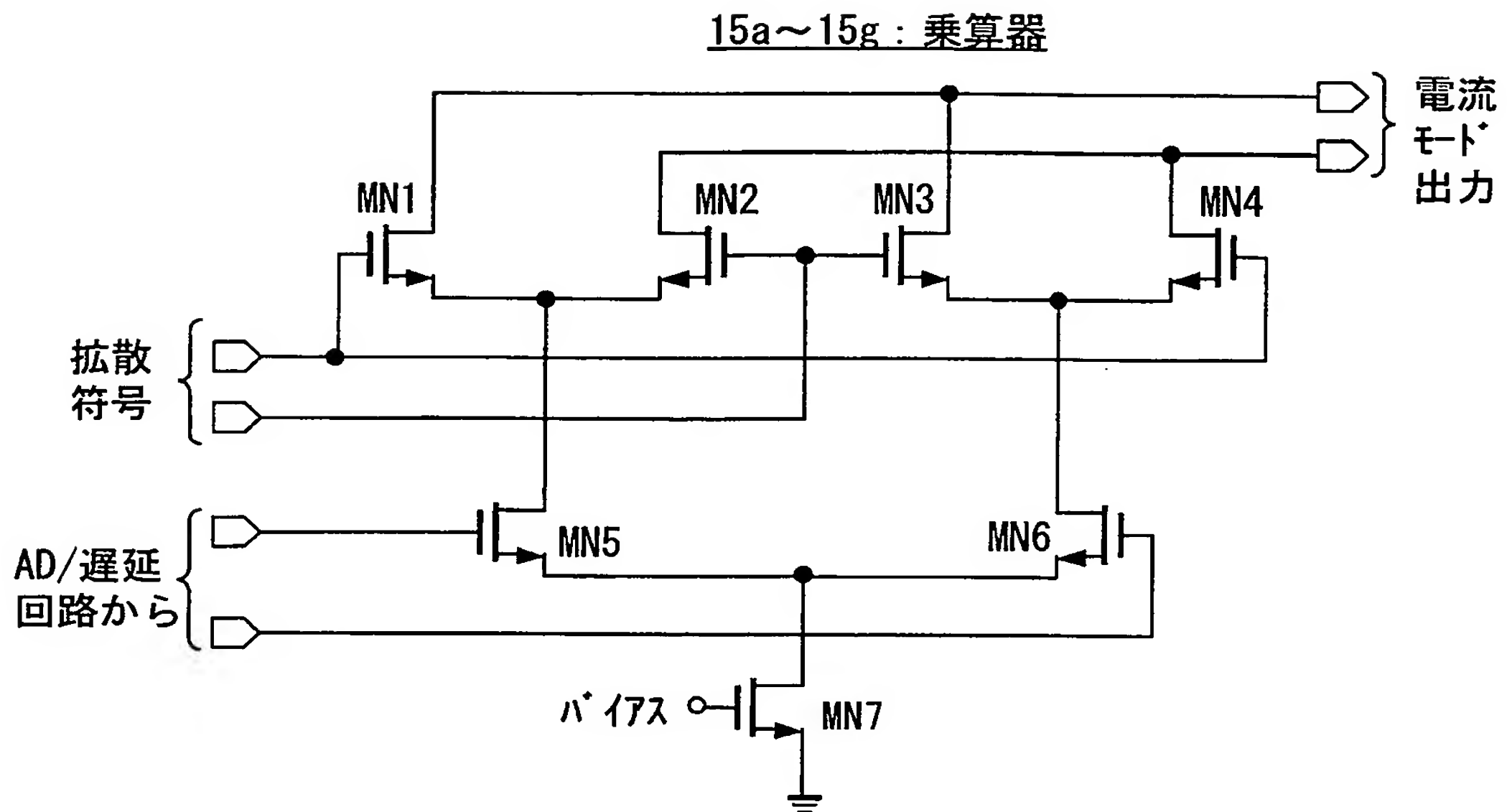
1 3 …コンパレータ回路、1 4 a ～ 1 4 f …遅延回路、1 5 a ～ 1 5 g …乗算器、1 6、2 0 …拡散符号発生回路、1 7 …加算器、1 8 …ピーク検出器、1 9 …クロック制御回路、1 0 7 ～ 1 1 2 …極性変換回路、MN 1 ～ MN 7 …NMOS トランジスタ、3 1、3 2 …負荷抵抗、1 6 1 …排他的論理和回路、1 6 2 a ～ 1 6 2 g …フリップフロップ回路、1 6 0 - 1 …第 1 の拡散符号発生回路、1 6 0 - 2 …第 2 の拡散符号発生回路、1 6 3、1 6 6 …排他的論理和回路、1 6 4 a ～ 1 6 4 g、1 6 7 a ～ 1 6 7 g …フリップフロップ回路、1 6 5 a ～ 1 6 5 h、1 6 8 a ～ 1 6 8 h …スイッチ、1 6 9 …拡散符号制御回路。

【書類名】 図面

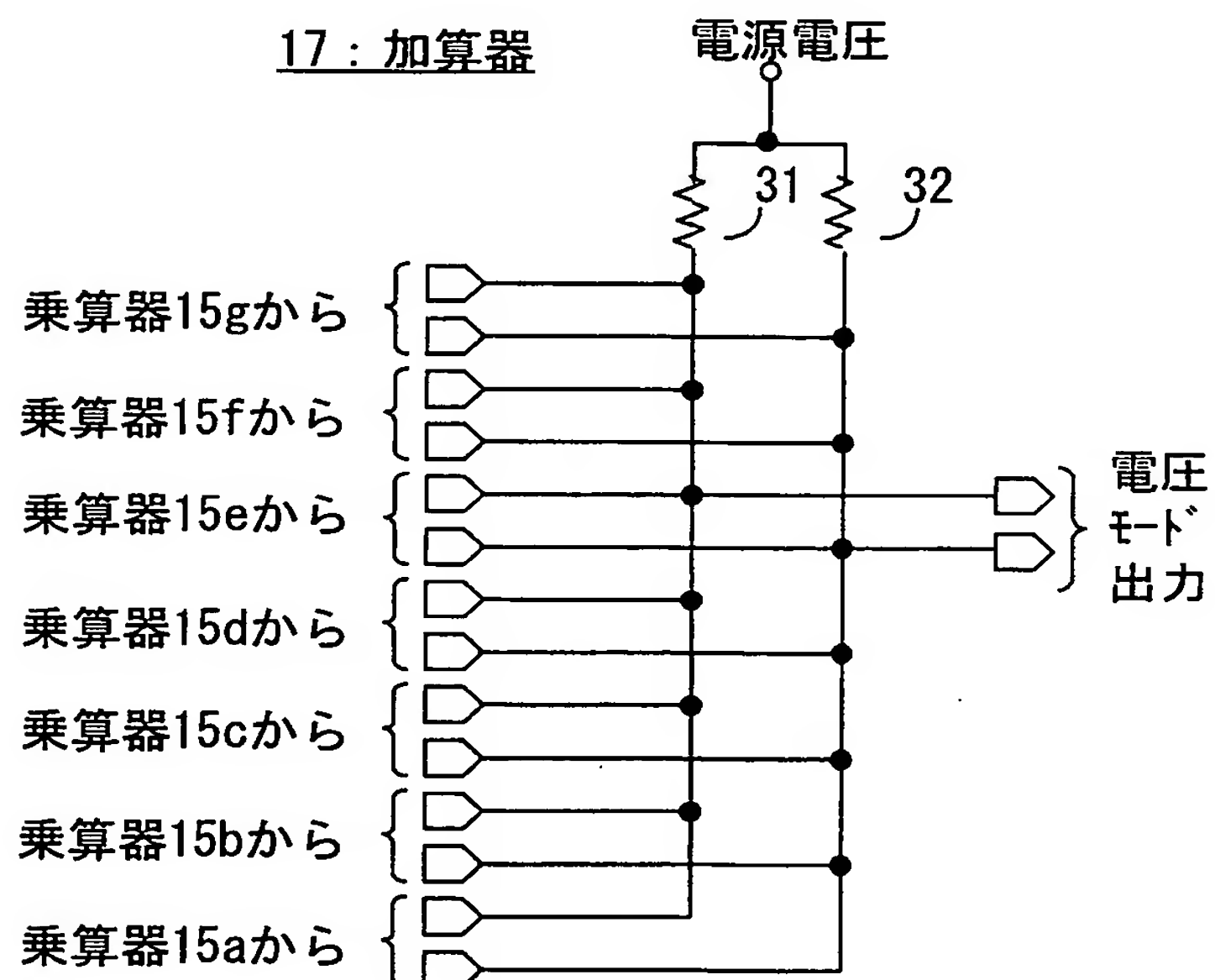
【図 1】



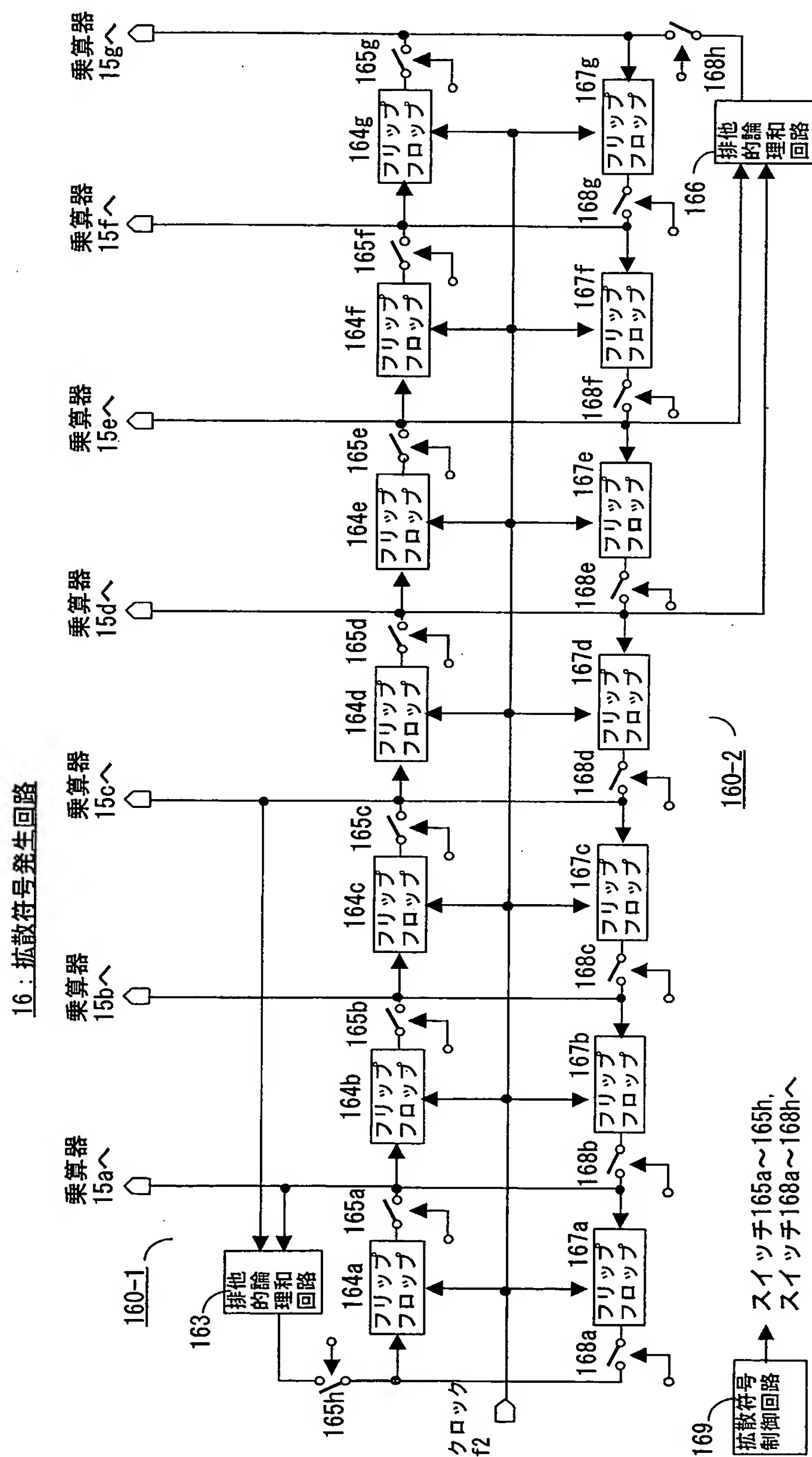
【図 2】



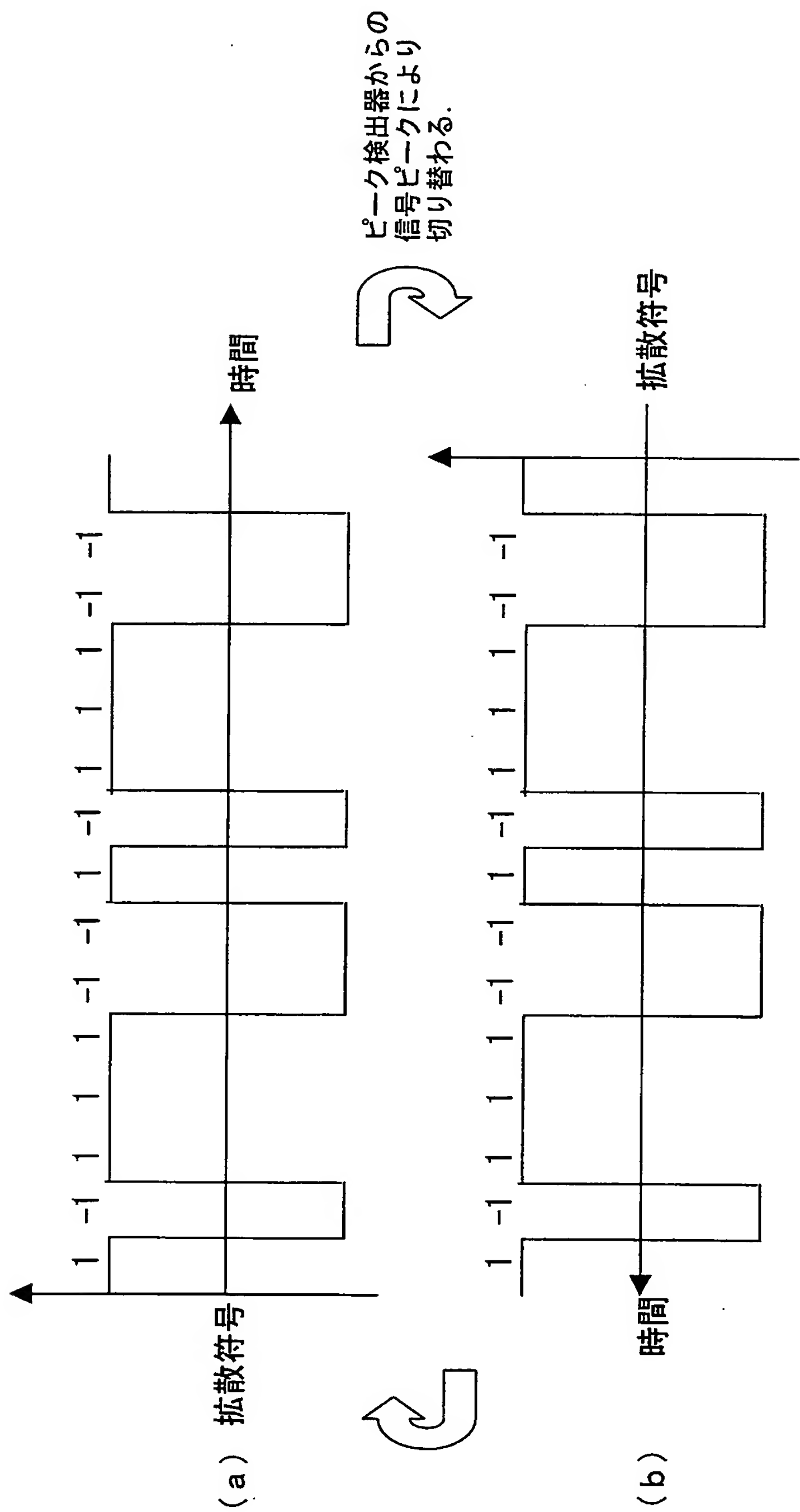
【図 3】



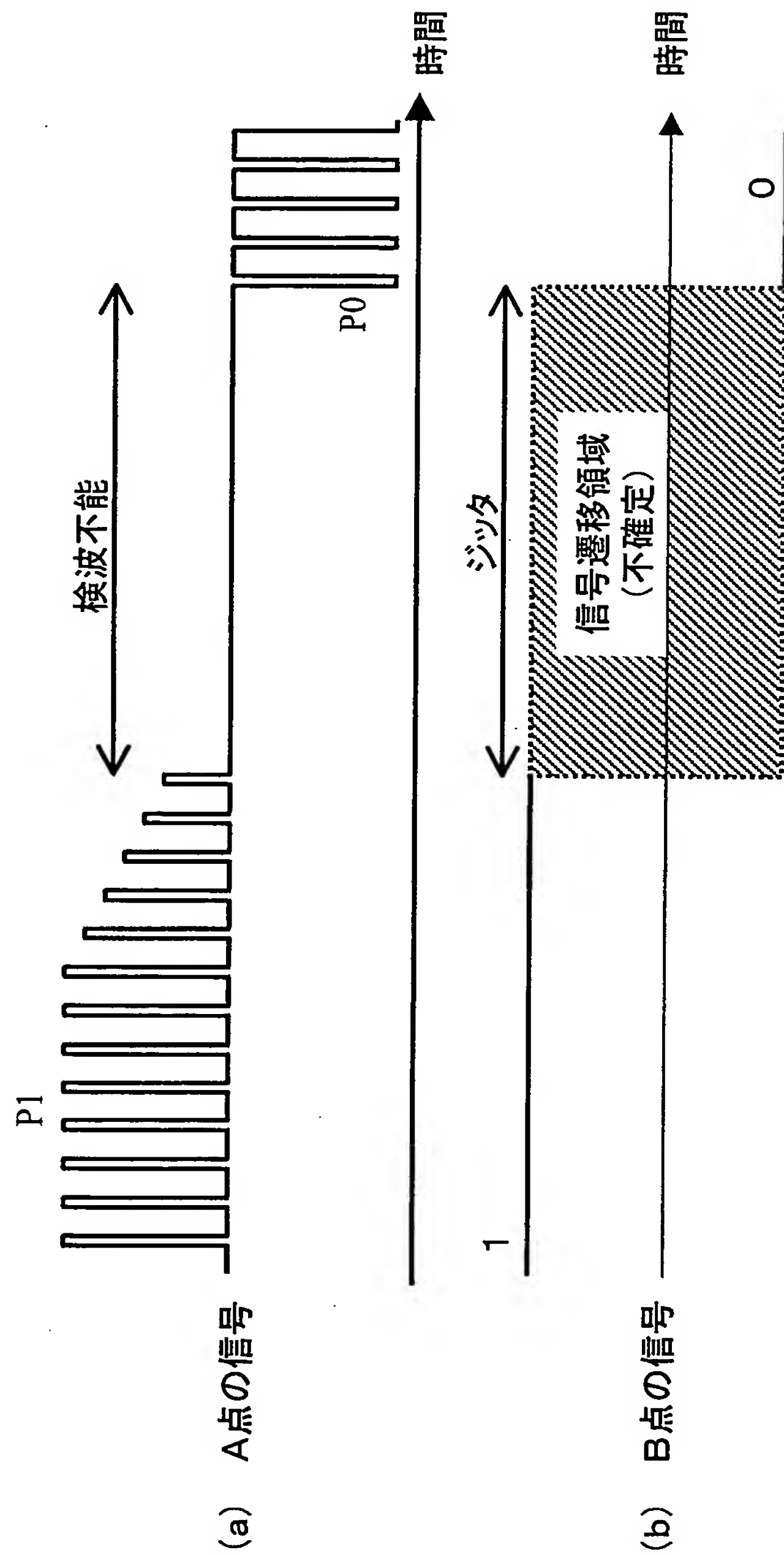
【図 4】



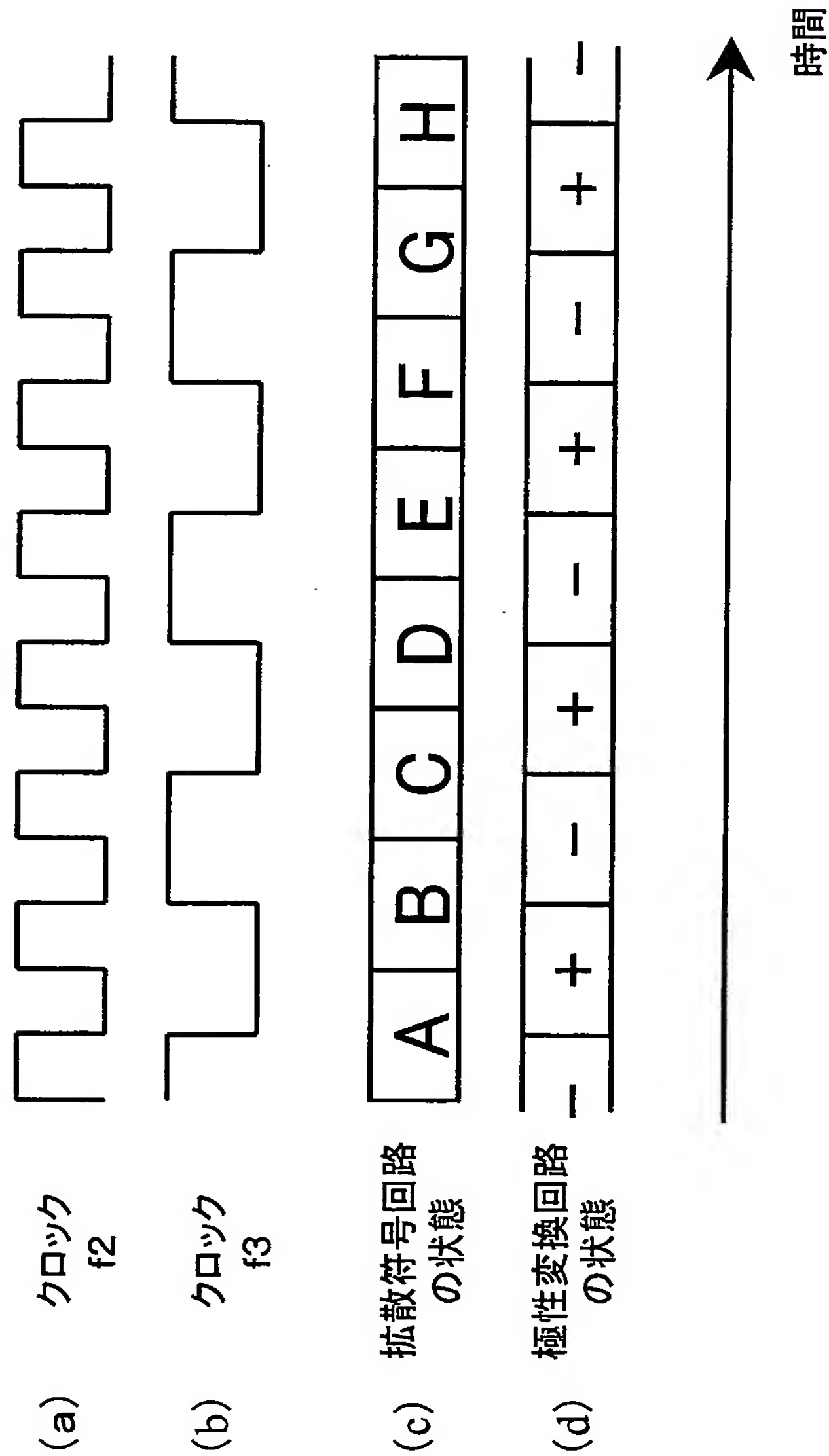
【図 5】



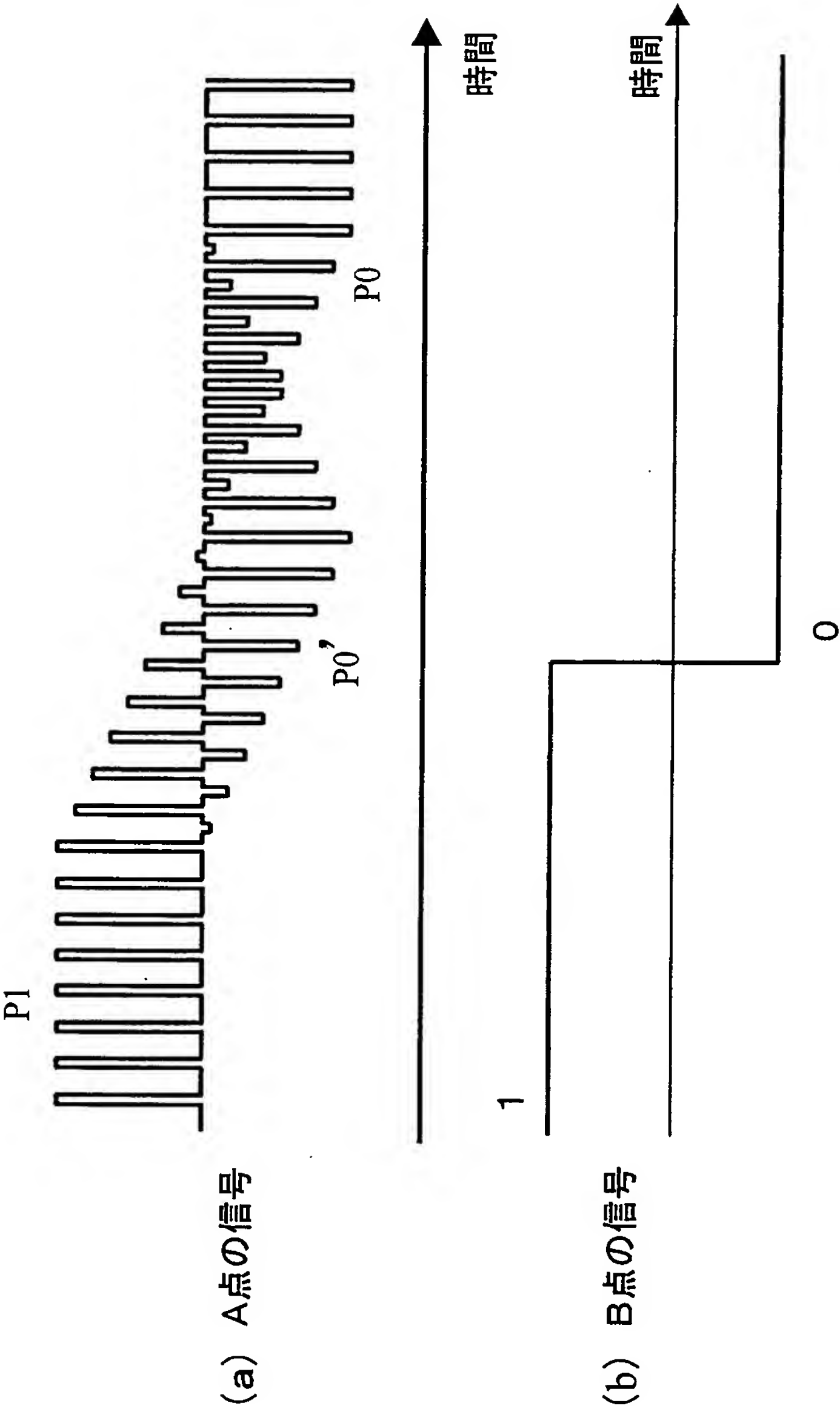
【図 6】



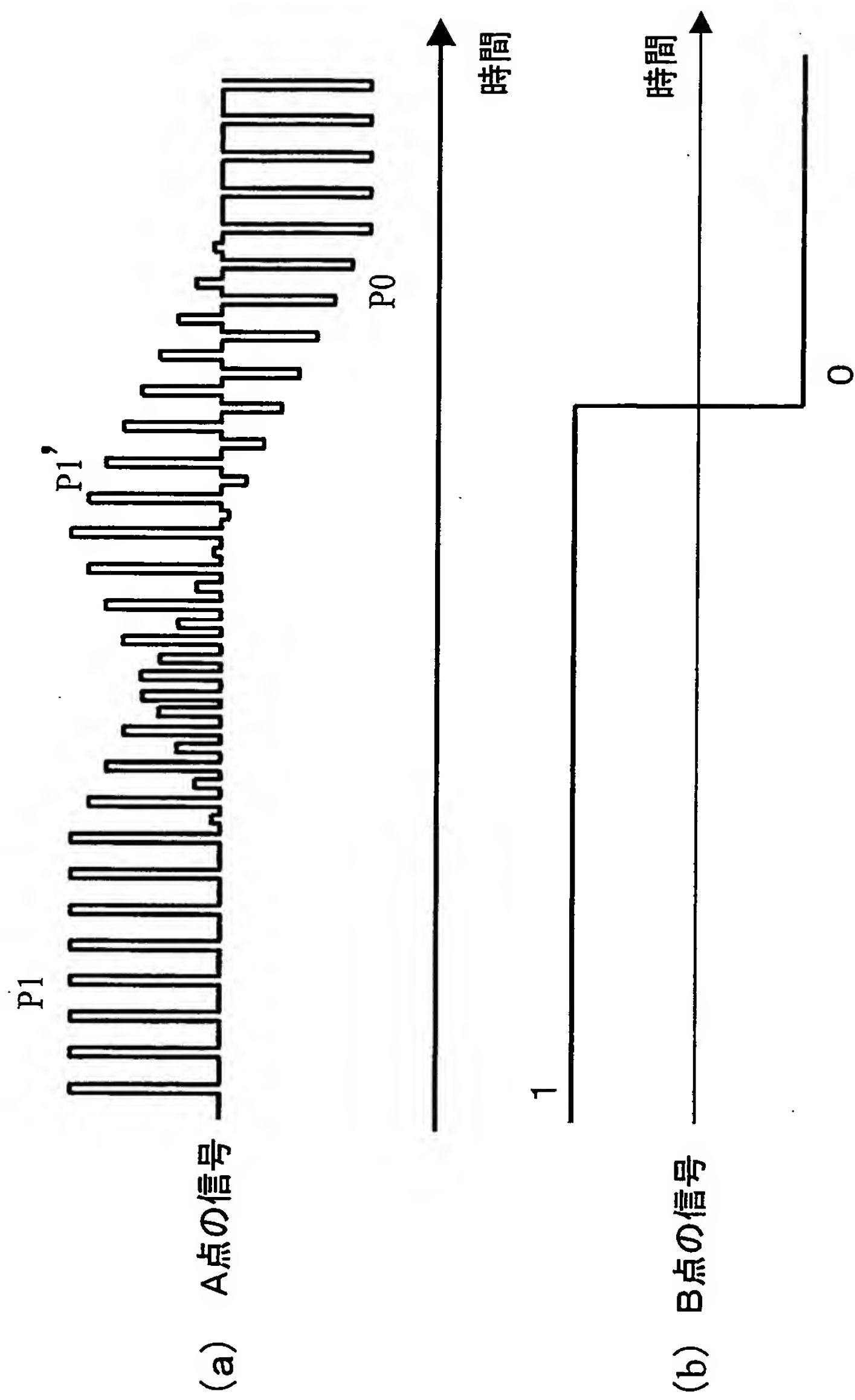
【図 7】



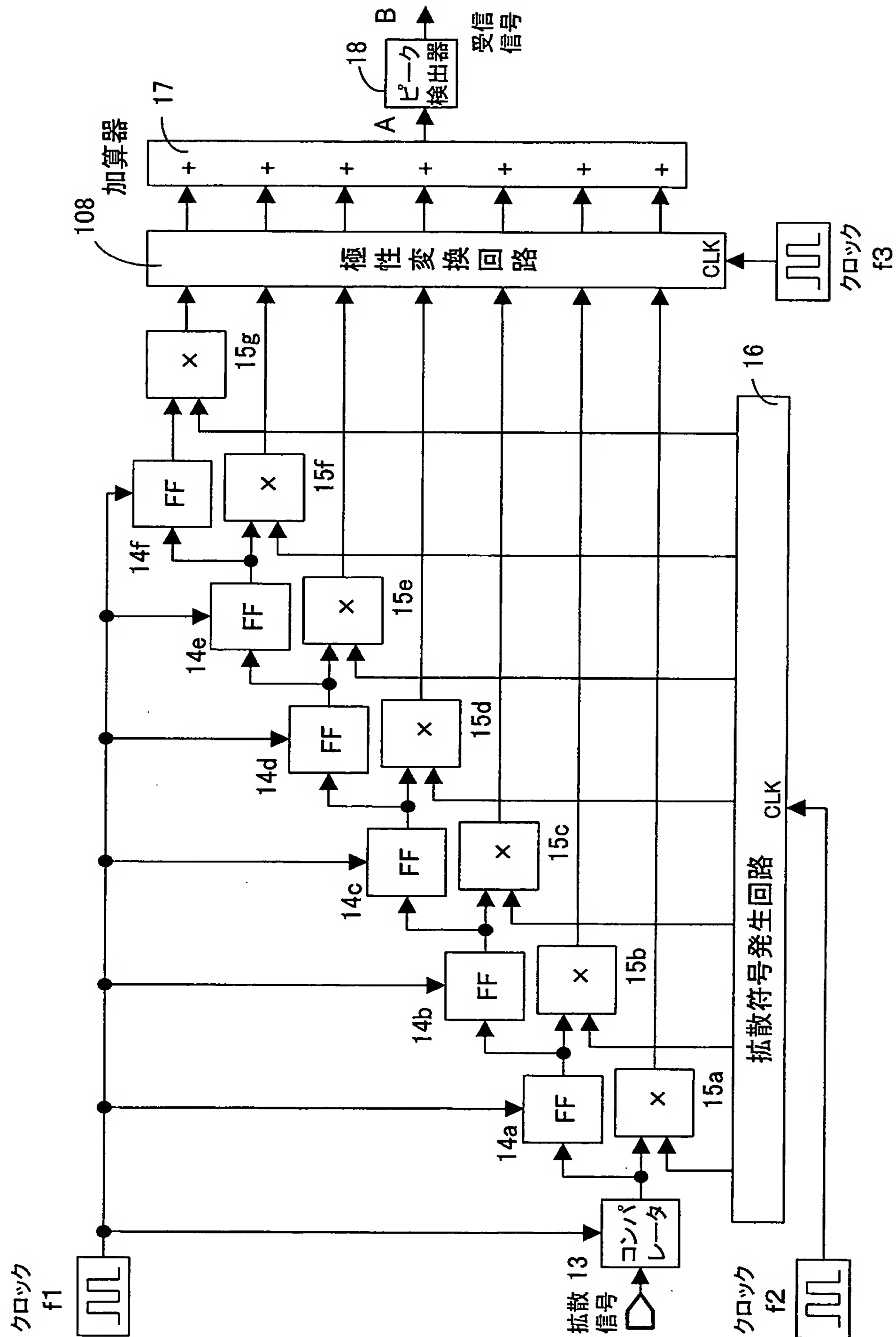
【図 8】



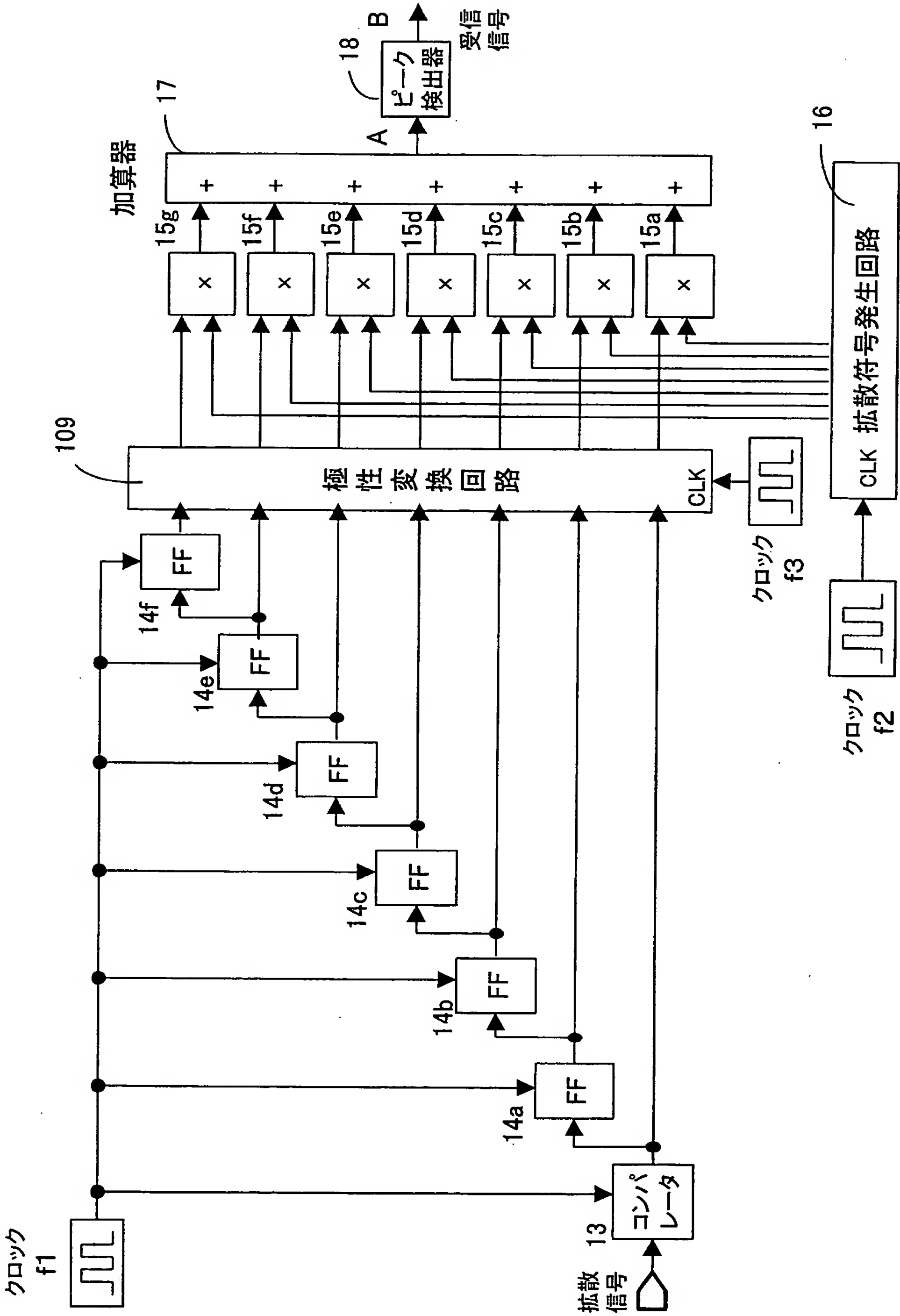
【図 9】



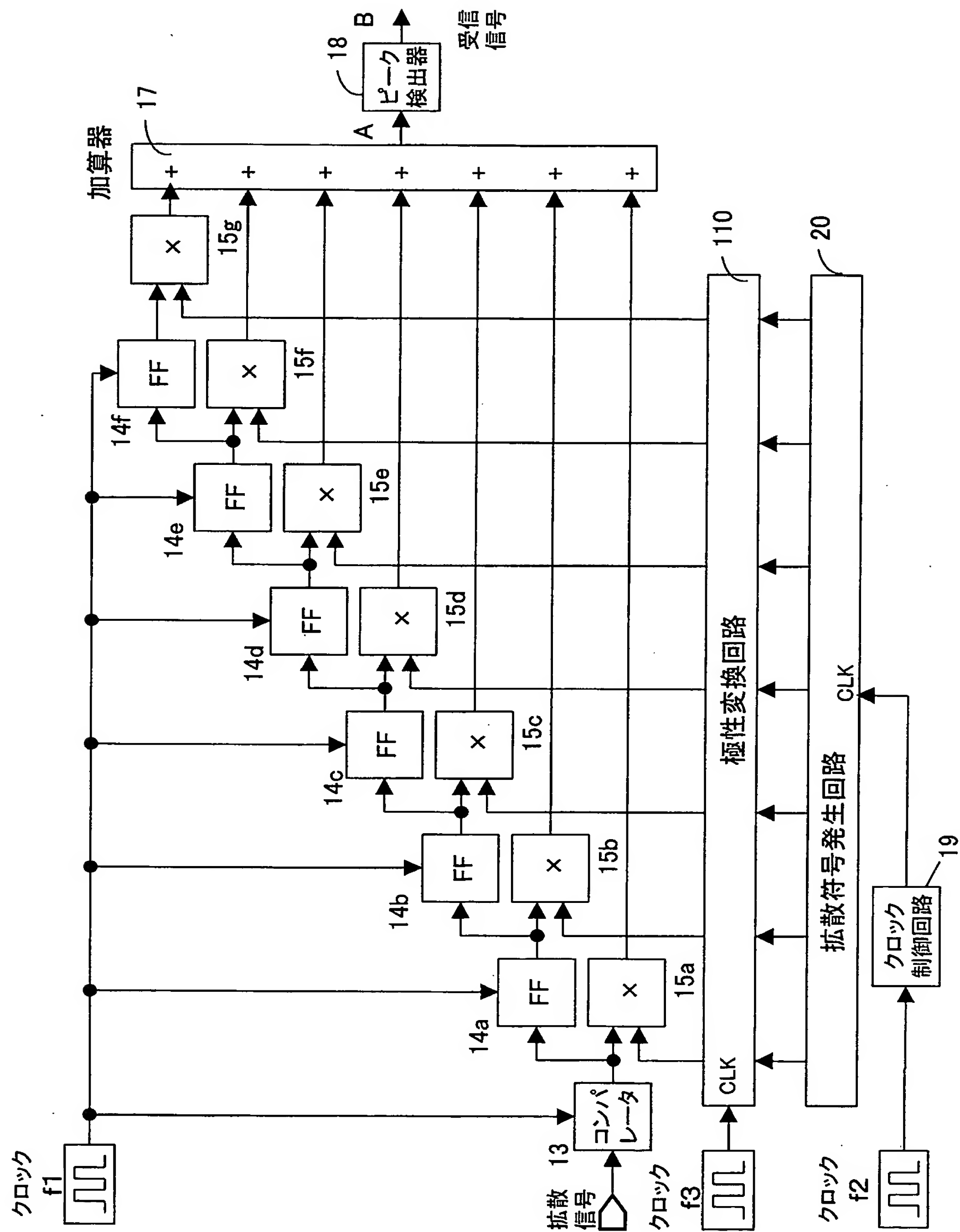
【図 10】



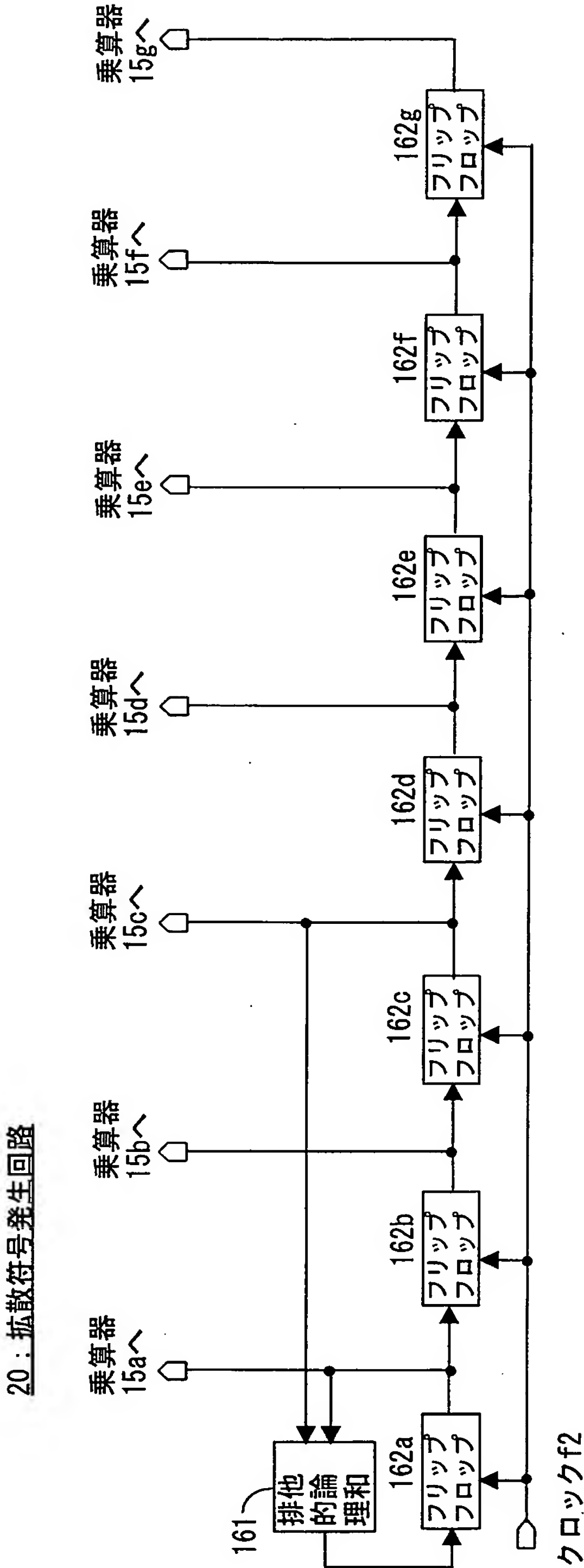
【図 1 1】



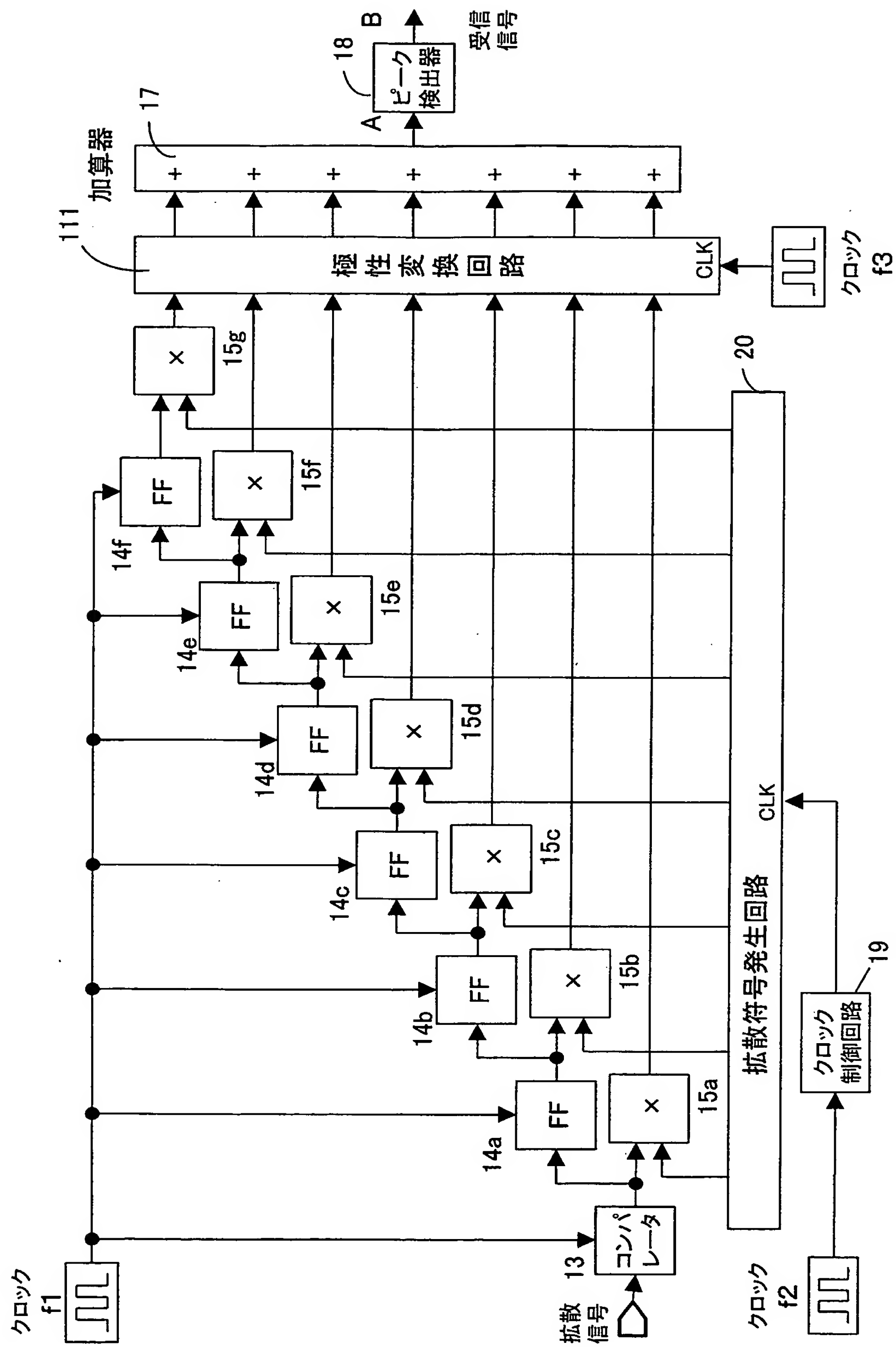
【図 12】



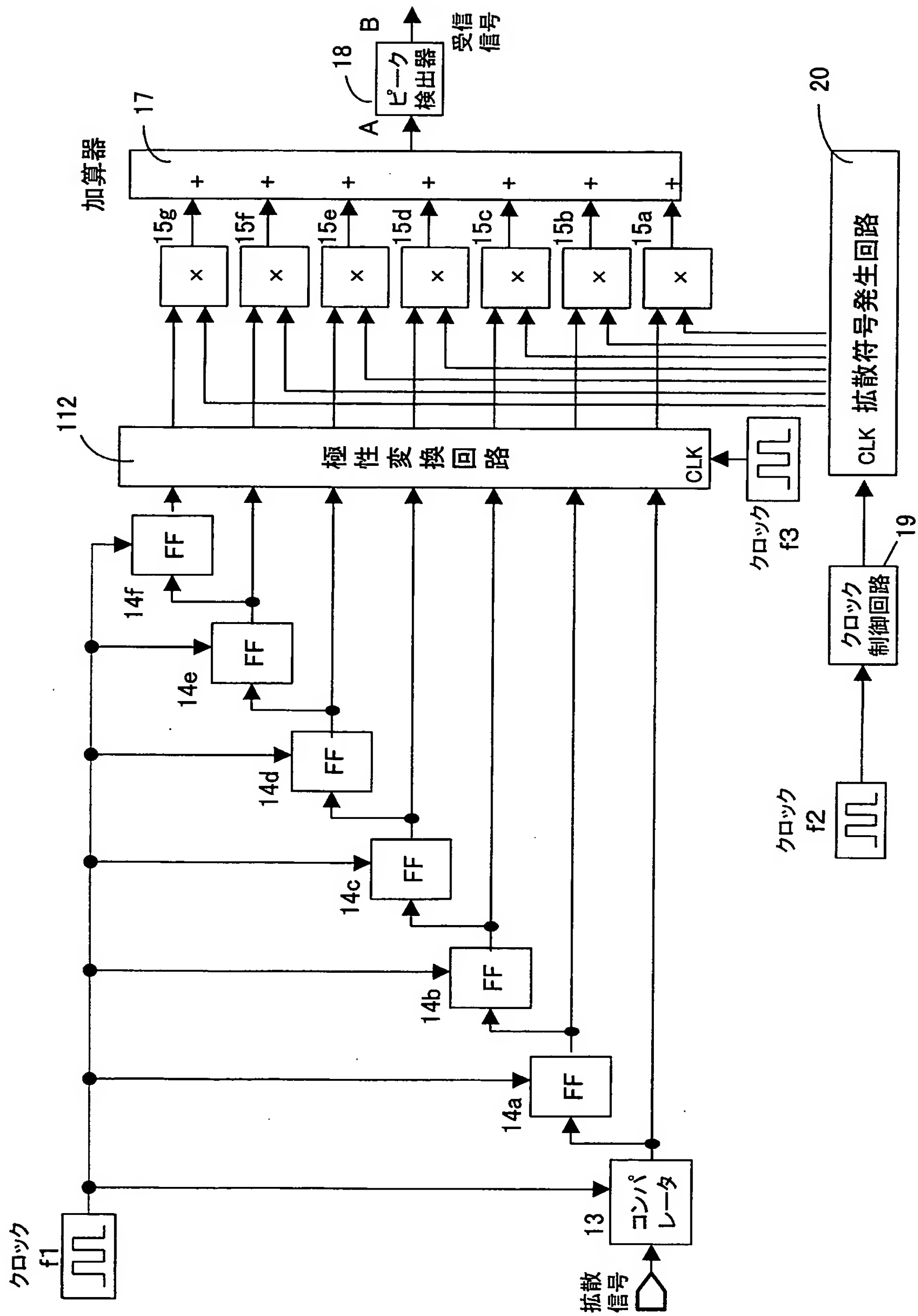
【図 1 3】



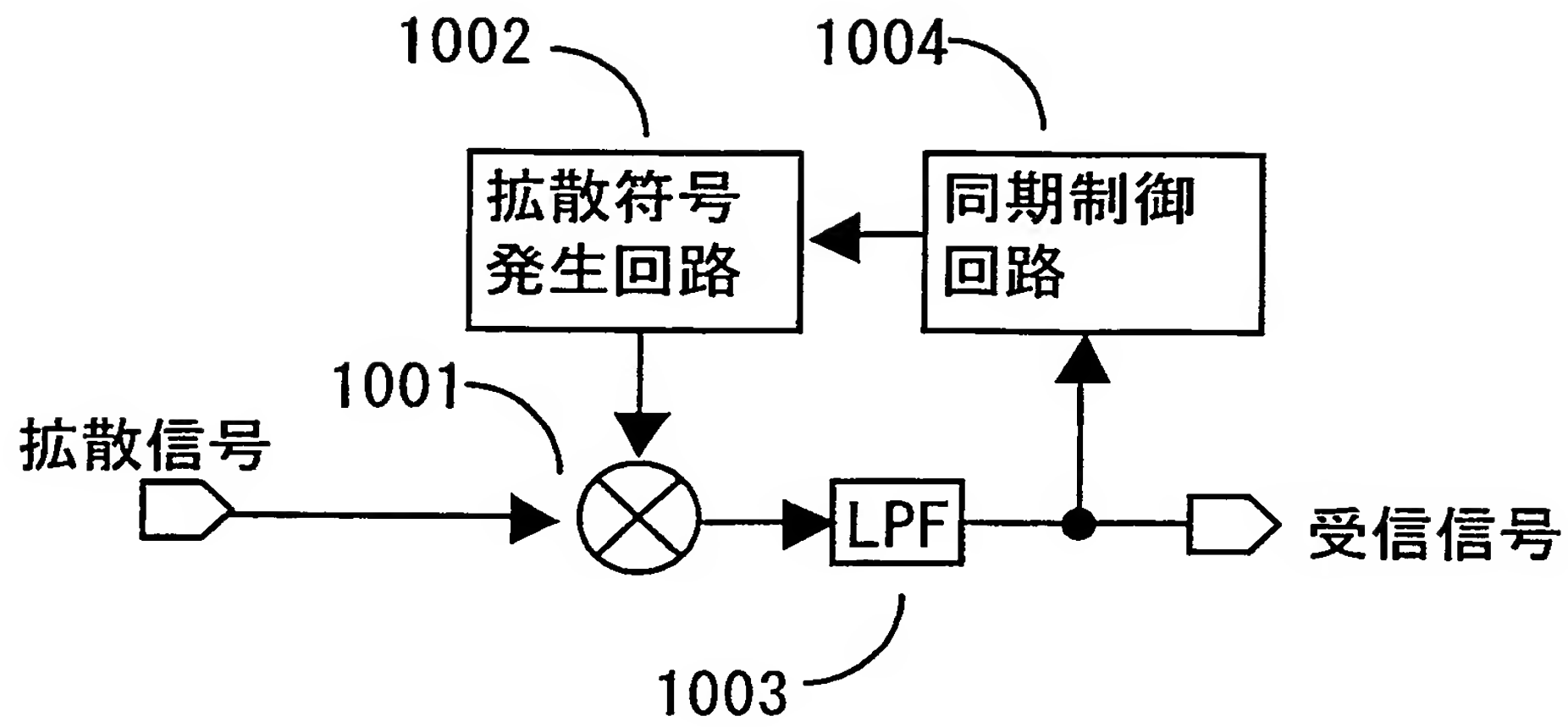
【図 14】



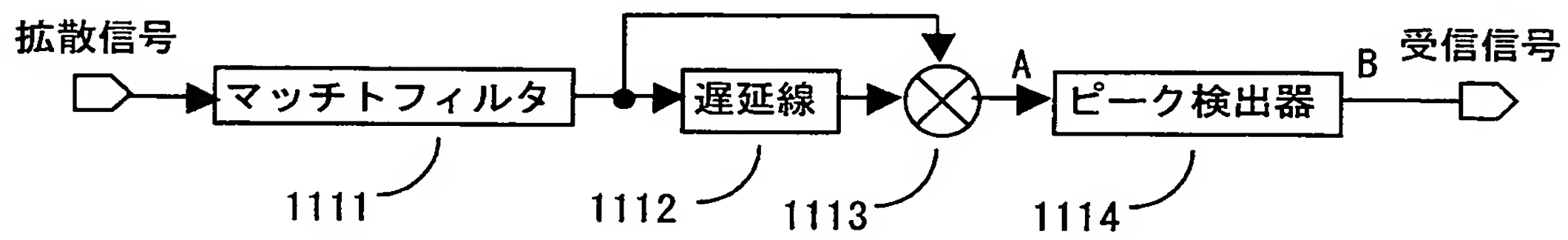
【図 15】



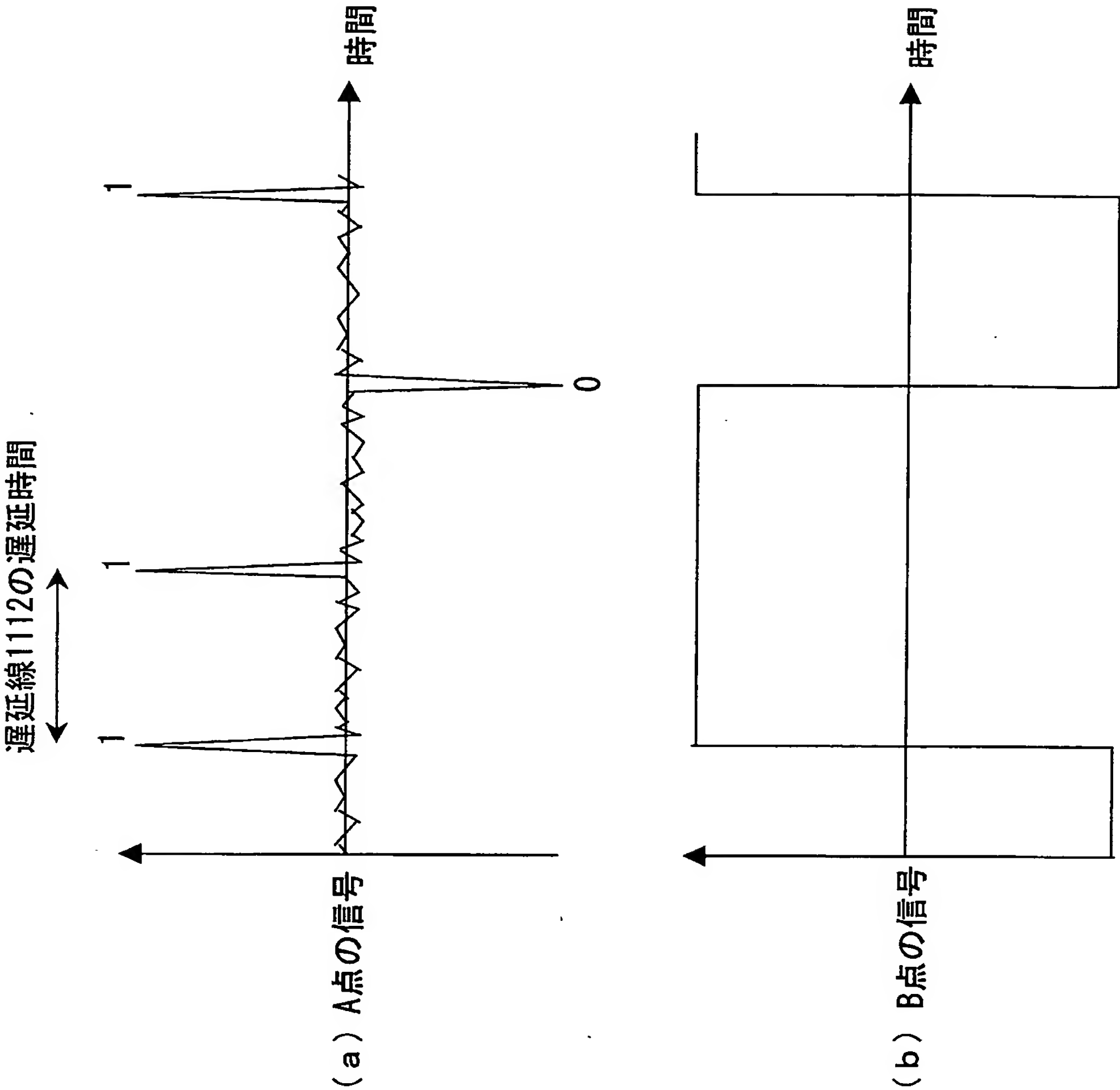
【図 1 6】



【図 1 7】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 外付け部品が不要で、かつ同期制御の必要のない拡散符号発生回路を用いて逆拡散復調する。

【解決手段】 拡散信号をデジタル信号に変換するコンパレータ回路 1 3 と、コンパレータ出力を遅延させる遅延回路 1 4 a ~ 1 4 f と、拡散符号を発生する第 1 の拡散符号発生回路と、拡散符号を逆向きに並び替えた拡散符号を発生する第 2 の拡散符号発生回路と、7 個の拡散符号のうち、拡散信号の新しい方または古い方に対応する略半数がクロック f₂ の 1 周期間に反転と非反転の 2 つの極性状態を呈するように極性変換する極性変換回路 1 0 7 と、乗算器 1 5 a ~ 1 5 g と、加算器 1 7 と、ピーク検出器 1 8 と、ピーク検出される度に第 1 の拡散符号発生回路から極性変換回路への符号入力と第 2 の拡散符号発生回路から極性変換回路への符号入力とを切り替える拡散符号制御回路とを有する。

【選択図】 図 1

特願 2 0 0 3 - 2 8 5 3 4 0

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 4 2 2 6]

1. 変更年月日

1 9 9 9 年 7 月 1 5 日

[変更理由]

住所変更

住 所

東京都千代田区大手町二丁目 3 番 1 号

氏 名

日本電信電話株式会社